


Two step variable length delay circuit

Patent Number: ☐ [EP1229646](#)
Publication date: 2002-08-07
Inventor(s): TANAHASHI TOSHIO (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: JP2002232274
Application Number: EP20020001961 20020201
Priority Number(s): JP20010026166 20010201
IPC Classification: H03K5/13
EC Classification: [H03K5/13D](#), [H03K5/13B](#)
Equivalents: JP3575430B2, ☐ [US2002101271](#), ☐ [US6650160](#)
Cited patent(s):

Abstract

A two step variable length delay circuit, used digital elements being easy to design, and being capable of adjusting the phases of signals in a wide range and also with finer phases, and having low jitters and without considering the timing of switching of a signal, is provided. A first selection circuit selects m pieces of sequential outputs from plural taps of a coarse adjustment delay circuit and inputs the selected m pieces of sequential outputs to a first ring interpolator. The first ring interpolator amplifies the inputted m pieces of sequential outputs, further mixes waveforms of adjacent two inputs and also mixes waveforms of the first input and the last input, and outputs the amplified inputs and the mixed waveforms. Further, the outputs from the first ring interpolator are inputted to a second ring interpolator, and at the second ring interpolator, the same operation at the first ring interpolator is executed. And a second selection circuit selects one of the outputs from the second ring interpolator. 

Data supplied from the esp@cenet database - I2

출력 일자: 2004/9/25

발송번호 : 9-5-2004-040011646

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2004.09.23

층(리&목특허법률사무소)

제출기일 : 2004.11.23

이영필 귀하

137-874

특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 이영필

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2002-0068155

발명의 명칭 입력되는 두 클럭의 인터플레이팅에 의하여 지연량의 차이를 조절할 수 있는 지연된 탭신호들을 발생하는 회로

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제 2항의 규정에 의하여 특허를 받을 수 없습니다.

- 아 래 -

1. 본원 발명의 청구범위 전항은 입력되는 2클럭의 인터플레이팅에 의하여 지연량의 차이를 조절할 수 있는 지연된 탭신호들을 발생하는 회로에 관한 것으로서 제 1, 2, 3, 4탭 신호발생회로로 구성되고 제 1, 2클럭을 인터플레이팅함으로써 생성되는 것등과 이와 동일한 방법을 특징으로 하는 데, 이는 2단계 가변장 지연회로에 관한 것으로서 복수개의 탭 출력을 인터플레이터를 통해 합성하고 선택하여 출력하는 것등을 특징으로 하는 인용발명(일본국 특개평 14-232274호)으로부터 이 기술분야에서 통상의 지식을 가진 자라면 본원을 용이하게 발명할 수 있는 것으로 판단됩니다.

[참 부]

첨부1 인용발명 : 일본공개특허공보 평14-232274호(2002.08.16) 1부. 끝.

2004.09.23

특허청

전기전자심사국

전자심사담당관실

심사관 김재문



출력 일자: 2004/9/25

<<안내>>

문의사항이 있으시면 ☎ 042-481-5673 로 문의하시기 바랍니다.
서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2002-232274

(P2002-232274A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl.

H03K 5/13

識別記号

FI

H03K 5/13

特許庁(参考)

5J001

審査請求 有 請求項の数28 O L (全 34 頁)

(21)出願番号 特願2001-26166(P2001-26166)

(22)出願日 平成13年2月1日(2001.2.1)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 棚橋 俊夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100084250

弁護士 丸山 隆夫

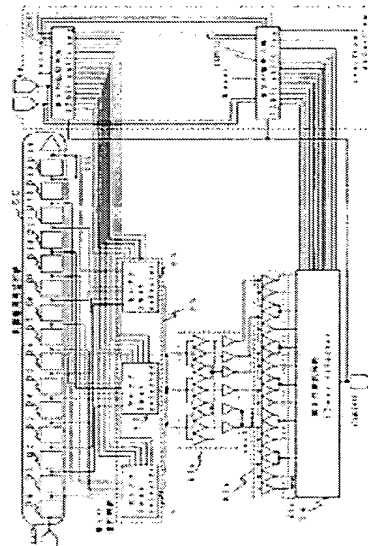
Fターム(参考) 5J001 AA05 AA11 BB12 CC03 DD09

(54)【発明の名称】 2段階可変長遅延回路

(57)【要約】

【課題】 設計の容易なデジタル素子を使用し、調整範囲の広いかつ詳細な調整を可能にし、ジッタの少ない、選択切り替え時タイミングを無視できる2段階可変長遅延回路を提供する。

【解決手段】 粗調整用遅延回路Gの複数のタップ出力から連続したm個の出力を第1の選択回路S1により選択し、上記のm個の出力をバッファし、上記のm個の出力のうち隣接した入力間の各2出力および、最後の入力と最初の入力との2出力を波形合成を第1のリングインターポレータR1aにより行い、第1のリングインターポレータR1aの出力をさらに第2のリングインターポレータR1bにより、バッファおよび波形合成し、第2のリングインターポレータR1bの出力から1出力を第2の選択回路S4により選択する。



【特許請求の範囲】

【請求項 1】 入力信号を所定の時間隔ずつ遅延させ、該遅延した入力信号から選択した m 個の遅延した入力信号を第 1 から第 m の粗調整遅延信号とし (m は 3 以上の整数)、第 n の粗調整遅延信号は第 $(n+1)$ の粗調整遅延信号より時間隔 $d \cdot t \cdot c$ だけ遅い位相を有するとし (n は 1 以上 $(m-1)$ 以下の整数)、前記第 1 から第 m の粗調整遅延信号を増幅した信号と、前記第 n と第 $(n+1)$ の粗調整遅延信号、および前記第 m と第 1 の粗調整遅延信号とを基にして $2m$ 個の微調整遅延信号を生成し、第 m と第 1 の前記粗調整遅延信号とから作成された微調整遅延信号と、前記第 m と第 1 の前記粗調整遅延信号とから作成された微調整遅延信号以外の他の微調整遅延信号との時間隔を除いて、第 j の微調整遅延信号は、第 $(j+1)$ の微調整遅延信号よりも、時間隔 $d \cdot t \cdot c$ より微細な時間隔 $d \cdot t \cdot c'$ だけ遅い位相を有するとし (j は 1 以上 $(2m-2)$ 以下の整数)、 $(2m-1)$ 個の微調整遅延信号から 1 個の微調整遅延信号を選択し、該選択された微調整遅延信号を切り替える際、該選択された微調整遅延信号を生成する際に用いられていない粗調整遅延信号を切り替えることを特徴とする 2 段階可変長遅延回路。

【請求項 2】 前記切り替え対象となる粗調整遅延信号は、前記切り替え時に選択されている微調整遅延信号を生成する際に用いられている粗調整遅延信号から最も位相差が大きな粗調整遅延信号であり、かつ、前記切り替え対象となる粗調整遅延信号を増幅させた微調整遅延信号と前記切り替え時に選択されている微調整遅延信号との位相差よりも、切り替え後の粗調整遅延信号を増幅させた微調整遅延信号と切り替え後に選択される微調整遅延信号との位相差の方が小さな場合に、切り替わる粗調整遅延信号であることを特徴とする請求項 1 記載の 2 段階可変長遅延回路。

【請求項 3】 前記選択された微調整遅延信号が該選択された微調整遅延信号より位相が前記時間隔 $d \cdot t \cdot c'$ だけ遅い微調整遅延信号に切り替えられる場合、前記切り替え対象となる粗調整遅延信号は、該切り替え対象となる粗調整遅延信号より位相が時間隔 $(m \times d \cdot t \cdot c)$ だけ遅い前記遅延した入力信号に切り替えられ、前記選択された微調整遅延信号が該選択された微調整遅延信号より位相が前記時間隔 $d \cdot t \cdot c'$ だけ遅い微調整遅延信号に切り替えられる場合、前記切り替え対象となる粗調整遅延信号は、該切り替え対象となる粗調整遅延信号より位相が前記時間隔 $(m \times d \cdot t \cdot c)$ だけ遅い前記遅延した入力信号に切り替えられることを特徴とする請求項 1 または 2 記載の 2 段階可変長遅延回路。

【請求項 4】 時間隔 $d \cdot t \cdot c$ を遅延時間とする遅延素子が 3 個以上縦続接続され、入力信号が入力される側を前段として、前段の前記遅延素子の出力から位相が前記時

間隔 $d \cdot t \cdot c$ 遅延した前記遅延素子の出力を出力とする遅延手段と、該遅延素子の出力から、 m 個の前記遅延素子の出力を選択する第 1 の選択手段と、

前記第 1 の選択手段により選択された前記 m 個の遅延素子の出力を位相が遅い順に第 1 から第 m までの入力となっている場合に、前記 m 個の遅延素子の出力を増幅させた第 1 から第 $(2m-1)$ の出力と、それぞれの位相差が前記時間隔 $d \cdot t \cdot c$ である第 n (n は 1 以上 $(m-1)$ 以下の任意の整数) の入力と第 $(n+1)$ の入力とを波形合成して生成された前記第 n の出力と第 $(n+1)$ の出力との中間の位相を有する信号と、前記第 1 と第 m の入力とを波形合成して生成された前記第 1 の出力と第 m の出力との中間の位相を有する信号とを出力する波形合成手段 $R1a$ と、

前記波形合成手段 $R1a$ の出力から 1 個の前記波形合成手段 $R1a$ の出力を選択する第 2 の選択手段と、を有し、

該第 2 の選択手段により選択された前記波形合成手段 $R1a$ の出力を切り替える際、該選択された波形合成手段 $R1a$ の出力を生成する際に用いられていない前記遅延素子の出力を切り替えることを特徴とする 2 段階可変長遅延回路。

【請求項 5】 前記波形合成手段 $R1a$ は、前記第 n の入力の位相を増幅させた出力を第 $(2n-1)$ の出力とし、前記第 m の入力の位相を増幅させた出力を第 $(2m-1)$ の出力とし、前記第 n の入力と前記第 $(n+1)$ の入力とを波形合成した出力を第 $2n$ の出力とし、前記第 m の入力と前記第 1 の入力とを波形合成した出力を第 $2m$ の出力とし、第 j (j は 1 以上 $(2m-2)$ 以下の任意の整数) の出力と第 $(j+1)$ の出力との位相差が時間隔 $(d \cdot t \cdot c / 2)$ であり、第 m の入力第 1 の入力より時間隔 $d \cdot t \cdot c$ だけ遅い位相の信号が入力されるように粗調整遅延信号が選択されたとき、第 $(2m-1)$ の出力の位相と第 m の出力の位相が時間隔 $(d \cdot t \cdot c / 2)$ となるように構成したことを特徴とする請求項 4 記載の 2 段階可変長遅延回路。

【請求項 6】 前記波形合成手段 $R1a$ は、前記第 1 から第 m までの入力をそれぞれ増幅させる m 個のバッファと、

前記第 n の入力を位相が遅い信号の入力側とし、前記第 $(n+1)$ の入力を位相が早い信号の入力側として、前記第 n の入力と前記第 $(n+1)$ の入力とを増幅させた後、結合させ、波形合成して中間の位相の出力を生成する $(m-1)$ 個のインターポレータ $I \cdot P \times$ (\times は 1 以上 $(m-1)$ 以下の整数) と、

前記第 m の入力を位相が早い入力側とし、前記第 1 の入力を位相が遅い入力側として、前記第 m の入力と前記第 1 の入力とを増幅させた後、結合させ、波形合成して中間の位相の出力を生成する第 m のインターポレータ $I \cdot P$

mと、
を有するリングインターポレータR1aであることを特徴とする請求項4または5記載の2段階可変長遅延回路。

【請求項7】 前記遅延素子は、
前記時間間隔d t cを遅延時間とするディジタル回路であることを特徴とする請求項4から6のいずれか1項に記載の2段階可変長遅延回路。

【請求項8】 前記第1の選択手段に前記遅延素子の出力から前記m個の遅延素子の出力を選択させる第1の選択信号を前記第1の選択手段に送信する第1の制御手段と、

前記第2の選択手段に前記波形合成手段R1aの出力から前記1個の波形合成手段R1aの出力を選択させる第2の選択信号を前記第2の選択回路に送信する第2の制御手段と、

を有することを特徴とする請求項4から7のいずれか1項に記載の2段階可変長遅延回路。

【請求項9】 前記第1の制御手段は、
前記第2の選択手段により選択された前記波形合成手段R1aの出力をより遅い位相の前記波形合成手段R1aの出力に切り替える信号である第1の遅れ信号を受信した場合、

前記選択された波形合成手段R1aの出力を生成する際に用いられていない前記遅延素子の出力を切り替え対象の前記遅延素子の出力として、時間間隔(m×d t c)だけ位相が遅い前記遅延素子の出力に切り替え、m個の連続した前記遅延素子の出力を選択するように前記第1の選択手段を制御することを特徴とする請求項8記載の2段階可変長遅延回路。

【請求項10】 前記第1の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、
前記第2の選択手段により切り替え時に選択されている前記波形合成手段R1aの出力を生成する際に用いられる前記遅延素子の出力から最も位相差が大きな粗調整遅延信号であり、

かつ、前記第1の遅れ信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と前記第1の遅れ信号を受信した場合に切り替え時に選択されている波形合成手段R1aの出力との位相差よりも、前記第1の遅れ信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段R1aの出力と前記第1の遅れ信号を受信した場合に切り替え後に選択される波形合成手段R1aの出力との位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする請求項9記載の2段階可変長遅延回路。

【請求項11】 前記第2の選択手段により第p(pは2以上2m以下の任意の整数)の前記波形合成手段R1aの出力が選択されており、前記第2の制御手段が前記

第1の遅れ信号を受信した場合、前記第2の制御手段は、前記第pの波形合成手段R1aの出力を第(p-1)の波形合成手段R1aの出力に切り替えるように前記第2の選択手段を制御し、

前記第2の選択手段により前記第1の波形合成手段R1aの出力が選択されており、前記第2の制御手段が前記第1の遅れ信号を受信した場合、前記第2の制御手段は、前記第1の波形合成手段R1aの出力を第2mの前記波形合成手段R1aの出力に切り替えるように前記第2の選択手段を制御することを特徴とする請求項9または10記載の2段階可変長遅延回路。

【請求項12】 前記第1の制御手段は、
前記第2の選択手段により選択された前記波形合成手段R1aの出力をより遅い位相の前記波形合成手段R1aの出力に切り替える信号である第1の進み信号を受信した場合、

前記選択された波形合成手段R1aの出力を生成する際に用いられていない前記遅延素子の出力を切り替え対象の前記遅延素子の出力として、前記時間間隔(m×d t c)だけ位相が遅い前記遅延素子の出力に切り替え、m個の連続した前記遅延素子の出力を選択するように前記第1の選択手段を制御することを特徴とする請求項9から11のいずれか1項に記載の2段階可変長遅延回路。

【請求項13】 前記第1の進み信号を受信した場合の切り替え対象の遅延素子の出力は、
前記第2の選択手段により切り替え時に選択されている前記波形合成手段R1aの出力を生成する際に用いられる前記遅延素子の出力から最も位相差が大きな粗調整遅延信号であり、

かつ、前記第1の進み信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と前記第1の進み信号を受信した場合の切り替え時に選択されている波形合成手段R1aの出力との位相差よりも、前記第1の進み信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段R1aの出力と前記第1の進み信号を受信した場合に切り替え後に選択される波形合成手段R1aの出力との位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする請求項12記載の2段階可変長遅延回路。

【請求項14】 前記第2の選択手段により第q(qは1以上(2m-1)以下の任意の整数)の前記波形合成手段R1aの出力が選択されており、前記第2の制御手段が前記第1の進み信号を受信した場合、前記第2の制御手段は、前記第qの波形合成手段R1aの出力を第(q+1)の前記波形合成手段R1aの出力に切り替えるように前記第2の選択手段を制御し、
前記第2の選択手段により前記第2mの波形合成手段R1aの出力が選択されており、前記第2の制御手段が前記第1の進み信号を受信した場合、前記第2の制御手段

は、前記第2mの波形合成手段R1aの出力を前記第1の波形合成手段R1aの出力に切り替えるように前記第2の選択手段を制御することを特徴とする請求項12または13記載の2段階可変長遅延回路。

【請求項15】 前記波形合成手段R1aと前記第2の選択手段との間に縦続接続された r (r は1以上の任意の整数)個の波形合成手段が直列に挿入されていることを特徴とする請求項4から14のいずれか1項に記載の2段階可変長遅延回路。

【請求項16】 前記 r 個の波形合成手段が接続されている前記波形合成手段R1aの出力側を前段、前記第2の選択手段の入力側を後段として、前記 r 個の波形合成手段のうち、前段から s (s は1以上 r 以下の任意の整数)個目の波形合成手段は、

前記第1の選択手段により選択された前記 m 個の遅延素子の出力を位相が速い順に第1から第 m までの入力となっている場合に、前記前段の波形合成手段の第1から第 $(m \times 2s)$ までの出力をそれぞれ第1から第 $(m \times 2s)$ までの入力とし、前記第1から第 $(m \times 2s)$ の入力を増幅させた出力をそれぞれ第1から第 $(m \times 2s+1-1)$ の出力とし、前記第 t (t は1以上 $(m \times 2s-1)$ 以下の任意の整数)の入力と前記第 $(t+1)$ の入力とを波形合成した出力を第 $2t$ の出力とし、前記第 $(m \times 2s)$ の入力と前記第1の入力とを波形合成した出力を第 $(m \times 2s+1)$ の出力とし、前記第1の選択手段により選択された前記 m 個の遅延素子の出力である第 n の入力 (n は1以上 $(m-1)$ 以下の任意の整数)と第 $(n+1)$ の入力との時間差を $(d \times t \times c)$ である場合、 t が1から $(2s \times (m-1) + 1)$ の範囲で、第 t の入力と第 $(t+1)$ の入力との位相差が時間差 $(d \times t \times c / 2s)$ であり、 u が1から $(2s+1 \times (m-1) + 1)$ の範囲で第 u の入力と第 $(u+1)$ の入力との位相差が時間差 $(d \times t \times c / 2s+1)$ であり、前記第1の選択手段により選択された前記 m 個の遅延素子の出力である第 m の入力の位相が第1の入力の位相より速くなったときに、 t が $(2s \times (m-1) + 1)$ から $(m \times 2s-1)$ の範囲で、第 t の入力と第 $(t+1)$ の入力との位相差が時間差 $(d \times t \times c / 2s)$ であり、 u が $(2s+1 \times (m-1) + 1)$ から $(m \times 2s+1-1)$ の範囲で第 u の入力と第 $(u+1)$ の入力との位相差が時間差 $(d \times t \times c / 2s+1)$ であることを特徴とする請求項15記載の2段階可変長遅延回路。

【請求項17】 前記 r 個の波形合成手段のうち、前段から s 個目の波形合成手段は、前記第1から第 $(m \times 2s)$ までの入力をそれぞれ増幅させる $(m \times 2s)$ 個のバッファと、前記第 t の入力を位相が速い入力側とし、前記第 $(t+1)$ の入力を位相が遅い入力側として、前記第 t の入力と前記第 $(t+1)$ の入力とを増幅させた後、結合させ、波形合成して中間の位相の出力を生成する $(m \times 2$

$s-1)$ 個のインターポレータ ip_y (y は1以上 $(m \times 2s-1)$ 以下の整数)と、

前記第 $(m \times 2s)$ の入力を位相が速い入力側とし、前記第1の入力を位相が遅い入力側として、前記第 $(m \times 2s)$ の入力と前記第1の入力とを増幅させた後、結合させ、波形合成して中間の位相の出力を生成するインターポレータ ip ($m \times 2s$)と、

を有するリングインターポレータであることを特徴とする請求項15または16記載の2段階可変長遅延回路。

【請求項18】 前記第2の選択回路は、

前記波形合成手段R1aと前記第2の選択手段との間に縦続接続された前記 r 個の波形合成手段が直列に挿入されている場合、前記 r 個の波形合成手段のうち、前記第2の選択回路と接続されている最も後段の波形合成手段の出力から1個の出力を選択することを特徴とする請求項15から17のいずれか1項に記載の2段階可変長遅延回路。

【請求項19】 前記第1の制御手段は、

前記最も後段の波形合成手段と前記第2の選択手段との間に縦続接続された前記 r 個の波形合成手段が直列に挿入されており、前記第2の選択手段により選択された前記最も後段の波形合成手段の出力をより速い位相の前記最も後段の波形合成手段の出力に切り替える信号である第2の遅れ信号を受信した場合、

前記選択された最も後段の波形合成手段の出力を生成する際に用いられていない前記遅延素子の出力を切り替え対象の前記遅延素子の出力として、前記時間差 $(m \times d \times t \times c)$ だけ位相が速い前記遅延素子の出力に切り替え、 m 個の連続した前記遅延素子の出力を選択するように前記第1の選択手段を制御することを特徴とする請求項18記載の2段階可変長遅延回路。

【請求項20】 前記第2の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、

前記第2の選択手段により切り替え時に選択されている前記最も後段の波形合成手段の出力を生成する際に用いられる前記遅延素子の出力から最も位相差が大きな前記遅延素子の出力であり、

かつ、前記第2の遅れ信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と前記第2の遅れ信号を受信した場合の切り替え時に選択されている波形合成手段R1aの出力との位相差よりも、前記第2の遅れ信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段R1aの出力と前記第2の遅れ信号を受信した場合に切り替え後に選択される波形合成手段R1aの出力との位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする請求項19記載の2段階可変長遅延回路。

【請求項21】 前記最も後段の波形合成手段と前記第2の選択手段との間に縦続接続された前記 r 個の波形合

成手段が直列に挿入されており、前記第2の選択手段により第 f (f は2以上 $(m \times 2s+1)$ 以下の任意の整数)の前記最も後段の波形合成手段の出力が選択されており、前記第2の制御手段が前記第2の遅れ信号を受信した場合、

前記第2の制御手段は、前記第 f の最も後段の波形合成手段の出力を第 $(f-1)$ の最も後段の波形合成手段の出力に切り替えるように前記第2の選択手段を制御することを特徴とする請求項19または20記載の2段階可変長遅延回路。

【請求項22】 前記最も後段の波形合成手段と前記第2の選択手段との間に縦続接続された前記 r 個の波形合成手段が直列に挿入されており、前記第2の選択手段により前記第1の最も後段の波形合成手段の出力が選択されており、前記第2の制御手段が前記第2の遅れ信号を受信した場合、

前記第2の制御手段は、前記第1の最も後段の波形合成手段の出力を第 $(m \times 2s+1)$ の前記最も後段の波形合成手段の出力に切り替えるように前記第2の選択手段を制御することを特徴とする請求項19から21のいずれか1項に記載の2段階可変長遅延回路。

【請求項23】 前記第1の制御手段は、前記最も後段の波形合成手段と前記第2の選択手段との間に縦続接続された前記 r 個の波形合成手段が直列に挿入されており、前記第2の選択手段により選択された前記最も後段の波形合成手段の出力をより遅い位相の前記最も後段の波形合成手段の出力に切り替える信号である第2の進み信号を受信した場合、

前記選択された最も後段の波形合成手段の出力を生成する際に用いられていない前記遅延素子の出力を切り替え対象の前記遅延素子の出力として、前記時間間隔 $(m \times d \times t_c)$ だけ位相が遅い前記遅延素子の出力に切り替え、 m 個の連続した前記遅延素子の出力を選択するように前記第1の選択手段を制御することを特徴とする請求項18から22のいずれか1項に記載の2段階可変長遅延回路。

【請求項24】 前記第2の進み信号を受信した場合の切り替え対象の遅延素子の出力は、前記第2の選択手段により切り替え時に選択されている前記最も後段の波形合成手段の出力を生成する際に用いられる前記遅延素子の出力から最も位相差が大きな前記遅延素子の出力であり、

かつ、前記第2の進み信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段 $R1a$ の出力と前記第2の進み信号を受信した場合の切り替え時に選択されている波形合成手段 $R1a$ の出力との位相差よりも、前記第2の進み信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段 $R1a$ の出力と前記第2の進み信号を受信した場合に切り替え後に選択される波形合成手段 $R1a$ の出力との

位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする請求項23記載の2段階可変長遅延回路。

【請求項25】 前記最も後段の波形合成手段と前記第2の選択手段との間に縦続接続された前記 r 個の波形合成手段が直列に挿入されており、前記第2の選択手段により第 g (g は1以上 $(m \times 2s+1-1)$ 以下の任意の整数)の前記最も後段の波形合成手段の出力が選択されており、前記第2の制御手段が前記第2の進み信号を受信した場合、

前記第2の制御手段は、前記第 g の最も後段の波形合成手段の出力を第 $(g+1)$ の前記最も後段の波形合成手段の出力に切り替えるように前記第2の選択手段を制御することを特徴とする請求項23または24記載の2段階可変長遅延回路。

【請求項26】 前記最も後段の波形合成手段と前記第2の選択手段との間に縦続接続された前記 r 個の波形合成手段が直列に挿入されており、前記第2の選択手段により前記第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力が選択されており、前記第2の制御手段が前記第2の進み信号を受信した場合、

前記第2の制御手段は、前記第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力を前記第1の最も後段の波形合成手段の出力に切り替えるように前記第2の選択手段を制御することを特徴とする請求項23から25のいずれか1項に記載の2段階可変長遅延回路。

【請求項27】 前記インターポレータ IPx 、前記インターポレータ IPm 、前記インターポレータ ipy 、および前記インターポレータ ip ($m \times 2s$)は、位相が異なる2個の信号が入力され、該2個の信号のうち遅い位相の信号を増幅させる位相の遅い入力側に接続されたバッファ $B1$ およびバッファ $B3$ と、位相が遅い入力信号を増幅させる位相の遅い入力側に接続されたバッファ $B2$ およびバッファ $B4$ と、をそれぞれ有した場合、

前記バッファ $B1$ の出力と前記バッファ $B2$ の出力とを接続し、波形合成した出力が、位相の遅い入力信号を増幅した前記バッファ $B3$ の出力の位相と位相の遅い入力信号を増幅した前記バッファ $B4$ の出力の位相との中間の位相が得られるように、前記バッファ $B1$ および前記バッファ $B2$ に用いられているトランジスタのオン抵抗値が設定される前記バッファ $B1$ および前記バッファ $B2$ からなることを特徴とする請求項17から26のいずれか1項に記載の2段階可変長遅延回路。

【請求項28】 前記バッファ $B1$ 、前記バッファ $B2$ 、前記バッファ $B3$ 、前記バッファ $B4$ 、前記 m 個のバッファのうち任意のバッファ、および前記 $(m \times 2s)$ 個のバッファのうち任意のバッファは、それぞれアンプあるいはインバータであることを特徴とする請求項27記載の2段階可変長遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2段階可変長遅延回路に関し、詳しくは、情報処理装置のクロック作成回路あるいは通信処理回路のタイミング作成回路が有するDLL（遅延制御ループ）に用いられる2段階可変長遅延回路に関する。

【0002】

【従来の技術】「A Semidigital Dual Delay Lock Loop」 Stefanos Sidiropoulos 他 IEEE Journal of Solid-State Circuits, VOL32, NO. 11 November 1997, p. 1683-1692（以下、従来例1）および特開平11-261408号公報が開示するところの位相インターポレータ、タイミング信号発生回路、および、該タイミング信号発生回路が適用される半導体集積回路装置並びに半導体集積回路システム（以下、従来例2）に記載されているように、従来の可変長遅延回路は、2つの位相の信号を電流合成するアナログ系のミキサ回路により、実現されていたが、ばらつき等が生じるため正確に要求する仕様を実現することが困難であり、デジタル回路を用いることにより設計の容易性および動作の安定性が保証された可変長遅延回路が提供されることが要請されていた。

【0003】上記の要請に応えるために、例えば、「Portable Digital DLL Architecture for CMOS Interface Circuit」 Bruno W. Garle 他 1998 Symposium on VLSI Circuits Digest of Technical Papers pp. 214-215（以下、従来例3）が開示されているように、制御回路だけでなく、遅延素子もデジタル回路にすることが提案されている。

【0004】図5は、従来例3の一実施形態における2段階可変長遅延回路のインターポレータの構成を示す図である。以下、図5を用いて、従来例3の一実施形態における2段階可変長遅延回路の構成について説明する。

【0005】従来例3における2段階可変長遅延回路は、入力In1、In2と、出力a～c、e～iと、バッファ（インバータ）B100～B103、B121～B123、B123i、B200～B203、B213iと、インターポレータip120、ip121、ip122と、を有する。

【0006】また、インターポレータip120は、バッファB120、B210を有し、インターポレータip121は、バッファB120i、B121iを有し、インターポレータip122は、B210i、B211iを有する。

【0007】入力In1を入力とするインバータB100の出力がバッファB101によりバッファされたバッファ出力を出力a、入力In2を入力とするインバータB200の出力がバッファB201によりバッファされたバッファ出力を出力cとする場合、バッファB120とバッファB210との出力を結合して電流合成するインターポレータip120の出力がバッファB121によりバッファされたバッファ出力である出力bが、出力aと出力cとの半分の位相の出力となるデジタル回路が従来例3では使用されている。

【0008】さらに、出力aを入力とするインバータB102と、該出力をバッファするバッファB103と、出力bを入力とするB122と、該出力をバッファするB123と、出力aを入力とするB120iと出力bを入力とするB121iとの出力同士を結合したインターポレータip121と、該出力をバッファするB123iと、同様に出力bを入力とするB210iと出力cを入力とするB211iとの出力同士を結合したインターポレータip122と、出力cを入力とするインバータB202と、該出力をバッファするバッファB203と、を設けることにより、微細な時間差を得ている。

【0009】従来例3では、上記のようなインターポレータを3段縦続出し、入力の位相を8分割した8個の出力（正確には9個の出力が得られるが、9個目の出力は次の入力の組み合わせにおける1個目の出力と等しいため出力として出していない）を得ている。

【0010】また、特開2000-163961号公報が開示するところの同期型半導体集積回路装置（以下、従来例4）には、位相の粗調整を行った後、微調整することにより外部クロック信号に同期した内部クロック信号を生成し、さらに、入力信号の変動によるグリッチ生成を防止する発明が記載されていた。

【0011】また、特開2000-195166号公報が開示するところの遅延時間制御回路（以下、従来例5）には、遅延回路により、所定の遅延時間で遅延させられたパルス信号をカウントすることにより、単位回路の遅延時間が変化しても適正な遅延時間を有するパルス信号を生成する発明が記載されていた。

【0012】また、特開2000-252802号公報が開示するところのクロック周期検知回路（以下、従来例6）には、周期粗調整をあらかじめ行い、位相調整などの動作範囲を広くとることを可能とする発明が記載されていた。

【0013】また、特開2000-298532号公報が開示するところのタイミング制御回路装置（以下、従来例7）には、入力クロック信号と出力クロック信号との位相差を粗調整する粗調タイミング制御回路と、温度上昇などにより遅延時間が変化した場合に微調整する微調タイミング制御回路と、を有する発明が記載されていた。

【0014】また、特開平6-204792号公報が開示するところの遅延回路（以下、従来例8）には、粗調整部および微調整回路を有し、長大な可変レンジと微小な最小ステップで遅延量を調整する遅延回路が記載されていた。

【0015】

【発明が解決しようとする課題】従来例3では、インターボレータにより中間の位相を作るために、インバータB100、B101、B200、B201を接続して出力aと出力bとを作成するインバータ2段のトランジスタの大きさを10とすると、位相が遅い入力側In1に接続されるインバータB120のトランジスタの大きさを6、位相が遅い入力側In2に接続されるインバータB210のトランジスタの大きさを4にして、出力同士を接続し、トランジスタの大きさ10で作られたインバータB121を介して、出力aと出力bとの中間の位相を持つ出力bを合成して得ている。

【0016】このとき、2つの位相の信号を、速いほうの入力が位相が遅い入力側In1に輸入され、出力同士が接続されたインバータB120が変化しても速いほうのインバータB210は、まだ変化せず、一方のインバータのpチャネルのトランジスタと他方のインバータのnチャネルのトランジスタが両方オンするため、出力は両方のトランジスタのオン抵抗によって電圧分割された値に向かうため、速いほうの入力がインバータ2段を介して出力される値よりも遅れ、遅いほうの入力が位相が遅い入力側In2に輸入され変化するとき、中間値から一挙に変化するため、速いほうの入力がインバータ2段B200、B201を介して出力されるより、速く変化することにより、中間の位相の出力が得られる。

【0017】しかしながら、上記のように出力同士を接続したインバータB120、B210の入力In1に速いほうの位相の信号を入力したときに、出力は負荷が重く、遅くなる傾向があるため、中間の位相が得られるように、遅いほうの入力In2に接続されたB210より、B120を大きなトランジスタにしてある。ここで、中間の位相を得るためには、位相が遅い入力側In1に常に速いほうの位相の入力信号を入力するという制限ができる。

【0018】図6は、従来例3の一実施形態における2段階可変長遅延回路の構成を示す図であり、以下、図6を用いて、上記実施形態における2段階可変長遅延回路の構成、および上記の制限ができた場合における上記実施形態における2段階可変長遅延回路の動作について説明する。

【0019】従来例3における2段階可変長遅延回路は、ディレーチェーン601と、ディレーチェーン602と、位相分割器603と、サイクル終了検出器604と、カウンタおよび制御回路および選択回路605と、32:1マルチプレクサ606と、3ステージインター

ボレータ607と、16:1マルチプレクサ608と、フィルタ609と、位相検出器610と、を有する。

【0020】位相が遅い入力側In1に常に速いほうの位相の入力信号を入力するという上記の制限のために、ディレーチェーン601、602のタップ数合計32に対して、タップ数に等しい入力数を1本の出力にするため、位相が遅い入力側In1用および位相が遅い入力側In2用に、32:1マルチプレクサ606を必要とする。

【0021】以上のような構成を取るために、同じタップから出力をとっても、信号が伝達する経路が異なるため、速い位相となったときの位相の速い入力側In1から出力までの遅延と、遅い位相となったときの位相の遅い入力側In2から出力までの遅延にばらつきがあり、遅延が同じにならない。つまり、In2とIn1に同じ入力を入力しても同じ遅延時間を出できないという欠点を持つ。従って、ディレーチェーン601、602のタップ出力を切り替えるときに、均一な時間間隔を作成できないという問題が発生する。

【0022】さらには、32:1マルチプレクサ606および3ステージインターボレータ607の遅延のために、ひげ状のバルスが発生しないように、In1とIn2がともに0の時に切り替える必要があるが、そのタイミングを作成するのが難しいという問題が発生する。

【0023】また、従来例4に記載されている発明では、粗調整を終了した後、微調整を行うことになっており、粗調整タップを変化させるときは、粗調整1タップ分の変動が出力に生じるため、常時調整を行うようなD.L.Lにおいて、出力のジッタが大きくなるという欠点と、粗調整1タップ分の微調整の長さとしているが、ばらつきにより、粗調整1タップと微調整範囲を合わせるのとはできないため、同時に行った場合でも、等間隔の位相変化を実現できないことと、切り替えタイミングを設定するのが困難であるという問題点がある。

【0024】また、従来例5に記載されている発明では、遅延時間を広範囲かつ微細に調整する構成を有しておらず、遅延時間をより小さな時間間隔で調整するような要求に即座に対応することが不可能であった。さらに、単位遅延回路を切り替える際に発生してしまうバルス状のノイズを抑制することが不可能であった。

【0025】また、従来例6に記載されている発明では、遅延回路が、アナログ回路であり、設計が困難である。また、粗調整タップを変化させるときは、粗調整1タップ分の変動が出力に生じるため、常時調整を行うようなD.L.Lにおいて、出力のジッタが大きくなるという欠点と、粗調整1タップ分の微調整の長さとしているが、ばらつきにより、粗調整1タップと微調整範囲を合わせるのとはできないため、同時に行った場合でも、等間隔の位相変化を実現できないことと、切り替えタイミングを設定するのが困難であるという問題点がある。

【0026】また、従来例7に記載されている発明では、遅延回路が、アナログ回路であり、設計が困難である。また、粗調整タップを変化させるときは、粗調整1タップ分の変動が出力に生じるため、常時調整を行うようなD.L.Lにおいて、出力のジッタが大きくなるという問題点があった。

【0027】また、従来例8に記載されている発明では、アナログ回路を用いているために設計が困難になるという問題点と、粗調整1タップ分の微調整の長さとしており、ばらつきにより、粗調整1タップと微調整範囲を合わせることをおこなっているが、粗調整部を切り替える際に発生してしまうパルス状のノイズを抑制することが困難であるといった問題点があった。

【0028】本発明は、上記問題点に鑑みてなされたものであり、遅延時間を可変するために、設計の困難なアナログ回路を設計が容易なデジタル素子に置き換えることにより、設計を容易にし、図1に示すように、粗調整を行うタップの時間隔の大きい粗調整用遅延回路（ゲートチェーン）G Cと、入力をバッファするインバータ群と、隣接する各2入力をバッファした出力を結合することにより波形成成し、中間の位相を作成するインターポレータ（位相合成回路）群を使用し、調整範囲の広いかつ詳細な調整を可能にする2段階可変遅延回路を提供することを目的とする。

【0029】さらに、速い位相から遅い位相または、遅い位相から速い位相に変化するときと同じタップを選択したときには、常に同じ位相の出力信号を得られるようにすることにより、ジッタの少ない、等間隔の安定な位相出力CLKOUTが得られる回路を提供することを目的とする。

【0030】さらに、粗調整用の出力の選択回路S1～S3、リングインターポレータR1a、R1b、および微調整用の選択回路S4の遅延時間が、大きいため、粗調整出力の選択切り替え時にパルス状のノイズ（グリッジ）がでないようにすることが困難な切り替えタイミングの作成を容易にする回路構成を提供することを目的とする。

【0031】

【課題を解決するための手段】かかる目的を達成するため、請求項1記載の発明は、入力信号を所定の時間隔ずつ遅延させ、遅延した入力信号から選択したm個の遅延した入力信号を第1から第mの粗調整遅延信号とし（mは3以上の整数）、第nの粗調整遅延信号は第（n+1）の粗調整遅延信号より時間隔d t c'だけ速い位相を有するとし（nは1以上（m-1）以下の整数）、第1から第mの粗調整遅延信号を増幅し、第nと第（n+1）の粗調整遅延信号、および第mと第1の粗調整遅延信号とを基にして2m個の微調整遅延信号を生成し、第mと第1の粗調整遅延信号とから作成された微調整遅延信号と、第mと第1の粗調整遅延信号とから作成された

微調整遅延信号以外の他の微調整遅延信号との時間隔を除いて、第jの微調整遅延信号は、第（j+1）の微調整遅延信号よりも、時間隔d t c'より微細な時間隔d t c'だけ速い位相を有するとし（jは1以上（2m-2）以下の整数）、2m個の微調整遅延信号から1個の微調整遅延信号を選択し、選択された微調整遅延信号を切り替える際、選択された微調整遅延信号を生成する際に用いられていない粗調整遅延信号を切り替えることを特徴とする。

【0032】従って、請求項1記載の発明によれば、入力信号を所定の時間隔遅延させたm個の粗調整遅延信号を基にして2m個の微調整遅延信号を生成し、2m個の微調整遅延信号から1個の微調整遅延信号を選択し、選択された微調整遅延信号を切り替える際に、選択された微調整遅延信号を生成する際に用いられていない粗調整遅延信号を切り替えることによって、広範囲かつ詳細な調整間隔の出力を得ることを可能とし、粗調整遅延信号を切り替えるタイミングを無視することが可能となるためタイミング設計を容易にし、選択された微調整遅延信号の遅延時間が変化しない高精度の2段階可変長遅延回路を提供することが可能となる。

【0033】また、請求項2記載の発明によれば、請求項1記載の2段階可変長遅延回路において、切り替え対象となる粗調整遅延信号は、切り替え時に選択されている微調整遅延信号を生成する際に用いられている粗調整遅延信号から最も位相差が大きな粗調整遅延信号であり、かつ、切り替え対象となる粗調整遅延信号を増幅させた微調整遅延信号と切り替え時に選択されている微調整遅延信号との位相差よりも、切り替え後の粗調整遅延信号を増幅させた微調整遅延信号と切り替え後に選択される微調整遅延信号との位相差の方が小さな場合に、切り替わる粗調整遅延信号であることを特徴とする。

【0034】従って、請求項2記載の発明によれば、切り替え時の微調整遅延信号を生成する際に用いられている粗調整遅延信号から最も位相差が大きな粗調整遅延信号かつ他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号を切り替えることによって、微調整遅延信号を生成する際に用いられていない粗調整遅延信号を切り替えるタイミングを無視することが可能となるためタイミング設計を容易にし、選択された微調整遅延信号の遅延時間が変化しない高精度の2段階可変長遅延回路を提供することが可能となる。

【0035】また、請求項3記載の発明によれば、請求項1または2記載の2段階可変長遅延回路において、選択された微調整遅延信号が選択された微調整遅延信号より位相が時間隔d t c'速い微調整遅延信号に切り替えられる場合、切り替え対象となる粗調整遅延信号は、切り替え対象となる粗調整遅延信号より位相が時間隔（m×d t c'）速い遅延した入力信号に切り替えられ、選択された微調整遅延信号が選択された微調整遅延信号より

位相が時間隔 dte' 遅い微調整遅延信号に切り替えられる場合、切り替え対象となる粗調整遅延信号は、切り替え対象となる粗調整遅延信号より位相が時間隔 $(m \times dte)$ 遅い遅延した入力信号に切り替えられることを特徴とする。

【0036】従って、請求項 3記載の発明によれば、選択された微調整遅延信号より位相が時間隔 $(dte/2)$ 遅い微調整遅延信号に切り替えられる場合、切り替え対象となる粗調整遅延信号は、切り替え対象となる粗調整遅延信号より位相が時間隔 $(m \times dte)$ 遅い遅延した入力信号に切り替えられ、選択された微調整遅延信号より位相が時間隔 $(dte/2)$ 遅い微調整遅延信号に切り替えられる場合、切り替え対象となる粗調整遅延信号は、切り替え対象となる粗調整遅延信号より位相が時間隔 $(m \times dte)$ 遅い遅延した入力信号に切り替えられることによって、微調整遅延信号の切り替えタイミング調整を容易にし、選択される可能性が高い微調整遅延信号を予め生成することが可能となる。

【0037】また、請求項 4記載の発明によれば、時間隔 dte を遅延時間とする遅延素子が 3個以上縦続接続され、入力信号が入力される側を前段として、前段の遅延素子の出力から位相が時間隔 dte 遅延した遅延素子の出力を出力とする遅延手段と、遅延素子の出力から、 m 個の遅延素子の出力を選択する第 1の選択手段と、第 1の選択手段により選択された m 個の遅延素子の出力を位相が速い順に第 1から第 m までの入力となっている場合に、 m 個の遅延素子の出力を増幅させた第 1から第 $(2m-1)$ の出力と、それぞれの位相差が時間隔 dte である第 n (n は 1以上 $(m-1)$ 以下の任意の整数)の入力と第 $(n+1)$ の入力とを波形合成して生成された第 n の出力と第 $(n+1)$ の出力との中間の位相を有する信号と、第 1と第 m の入力とを波形合成して生成された第 1の出力と第 m の出力との中間の位相を有する信号とを出力する波形合成手段 $R1a$ と、波形合成手段 $R1a$ の出力から 1個の波形合成手段 $R1a$ の出力を選択する第 2の選択手段と、を有し、第 2の選択手段により選択された波形合成手段 $R1a$ の出力を切り替える際、選択された波形合成手段 $R1a$ の出力を生成する際に用いられていない遅延素子の出力を切り替えることを特徴とする。

【0038】従って、請求項 4記載の発明によれば、入力信号を所定の時間隔遅延させた m 個の遅延素子の出力を基にして $2m$ 個の波形合成手段 $R1a$ の出力を生成し、 $2m$ 個の波形合成手段 $R1a$ の出力から 1個の波形合成手段 $R1a$ の出力を選択し、選択された波形合成手段 $R1a$ を切り替える際に、選択された波形合成手段 $R1a$ を生成する際に用いられていない遅延素子の出力を切り替えることによって、広範囲かつ詳細な調整間隔の出力を得ることを可能とし、遅延素子の出力を切り替えるタイミングを無視することが可能となるためタイミング

設計を容易にし、選択された波形合成手段 $R1a$ の遅延時間が変化しない高精度の 2段階可変長遅延回路を提供することが可能となる。

【0039】また、請求項 5記載の発明によれば、請求項 4記載の 2段階可変長遅延回路において、波形合成手段 $R1a$ は、第 n の入力の位相を増幅させた出力を第 $(2n-1)$ の出力とし、第 m の入力の位相を増幅させた出力を第 $(2m-1)$ の出力とし、第 n の入力と第 $(n+1)$ の入力とを波形合成した出力を第 $2n$ の出力とし、第 m の入力と第 1の入力とを波形合成した出力を第 $2m$ の出力とし、第 j (j は 1以上 $(2m-2)$ 以下の任意の整数)の出力と第 $(j+1)$ の出力との位相差が時間隔 $(dte/2)$ であり、第 m の入力第 1の入力より時間隔 dte 遅い位相の信号が入力されるように粗調整遅延信号が選択されたとき、第 $(2m-1)$ の出力の位相と第 m の出力の位相が時間隔 $(dte/2)$ となるように構成したことを特徴とする。

【0040】従って、請求項 5記載の発明によれば、波形合成手段 $R1a$ の隣接する出力の位相差を時間隔 $(dte/2)$ とすることによって、時間隔 dte よりもさらに微細である調整間隔を得ることが可能となる。

【0041】また、請求項 6記載の発明によれば、請求項 4または 5記載の 2段階可変長遅延回路において、波形合成手段 $R1a$ は、第 1から第 m までの入力をそれぞれ増幅させる m 個のバッファと、第 n の入力を位相が速い信号の入力側とし、第 $(n+1)$ の入力を位相が遅い信号の入力側として、第 n の入力と第 $(n+1)$ の入力とを増幅させた後、結合させ、波形合成して中間の位相の出力を生成する $(m-1)$ 個のインターポレータ $IP \times$ (x は 1以上 $(m-1)$ 以下の整数)と、第 m の入力を位相が遅い入力側とし、第 1の入力を位相が速い入力側として、第 m の入力と第 1の入力とを増幅させた後、結合させ、波形合成して中間の位相の出力を生成する第 m のインターポレータ IPm と、を有するリングインターポレータ $R1a$ であることを特徴とする。

【0042】従って、請求項 6記載の発明によれば、波形合成手段 $R1a$ を、 m 個のインターポレータを有するリングインターポレータ $R1a$ とし、第 n の入力がインターポレータの速い位相の信号の入力側に入力され、第 $(n+1)$ の入力がインターポレータの遅い位相の信号の入力側に入力されることによって、第 n の入力と第 $(n+1)$ の入力との中間の位相を有する微細である調整間隔の出力を得ることが可能となる。

【0043】また、請求項 7記載の発明によれば、請求項 4から 6のいずれか 1項に記載の 2段階可変長遅延回路において、遅延素子は、時間隔 dte を遅延時間とするデジタル回路であることを特徴とする。

【0044】従って、請求項 7記載の発明によれば、遅延素子は、時間隔 dte を遅延時間とするデジタル回路であることによって、回路の設計を容易にし、出力の

遅延時間の調整を容易にすることが可能となる。

【0045】また、請求項 8記載の発明によれば、請求項 4から7のいずれか1項に記載の2段階可変長遅延回路において、第1の選択手段に遅延素子の出力から m 個の遅延素子の出力を選択させる第1の選択信号を第1の選択手段に送信する第1の制御手段と、第2の選択手段に波形合成手段R1aの出力から1個の波形合成手段R1aの出力を選択させる第2の選択信号を第2の選択回路に送信する第2の制御手段と、を有することを特徴とする。

【0046】従って、請求項 8記載の発明によれば、第1の選択手段が第1の遅延手段の出力から m 個の第1の遅延手段の出力を選択し、第2の選択手段が波形合成手段R1aの出力から1個の波形合成手段R1aの出力を選択することを制御することによって、グリッチが生じない正常な波形合成手段R1aの出力を得ることが可能となる。

【0047】また、請求項 9記載の発明によれば、請求項 8記載の2段階可変長遅延回路において、第1の制御手段は、第2の選択手段により選択された波形合成手段R1aの出力をより遅い位相の波形合成手段R1aの出力に切り替える信号である第1の遅れ信号を受信した場合、選択された波形合成手段R1aの出力を生成する際に用いられない遅延素子の出力を切り替え対象の遅延素子の出力として、時間隔($m \times d t c$)だけ位相が速い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することを特徴とする。

【0048】従って、請求項 9記載の発明によれば、第1の遅れ信号を受信した場合、切り替え対象の遅延素子の出力を時間隔($m \times d t c$)だけ位相が速い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することによって、波形合成手段R1aの出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段R1aの出力を予め生成することが可能となる。

【0049】また、請求項 10記載の発明によれば、請求項 9記載の2段階可変長遅延回路において、第1の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、第2の選択手段により切り替え時に選択されている波形合成手段R1aの出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな粗調整遅延信号であり、かつ、第1の遅れ信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と第1の遅れ信号を受信した場合に切り替え時に選択されている波形合成手段R1aの出力との位相差よりも、第1の遅れ信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段R1aの出力と第1の遅れ信号を受信した場合に切り替え後に選択される波形合成手段R1aの出力との位相差の方

が小さな場合に、切り替わる遅延素子の出力であることを特徴とする。

【0050】従って、請求項 10記載の発明によれば、第1の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される波形合成手段R1aの出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、波形合成手段R1aの出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段R1aの出力を予め生成することが可能となる。

【0051】また、請求項 11記載の発明によれば、請求項 9または10記載の2段階可変長遅延回路において、第2の選択手段により第 p (p は2以上 $2m$ 以下の任意の整数)の波形合成手段R1aの出力が選択されており、第2の制御手段が第1の遅れ信号を受信した場合、第2の制御手段は、第 p の波形合成手段R1aの出力を第 $(p-1)$ の波形合成手段R1aの出力に切り替えるように第2の選択手段を制御し、第2の選択手段により第1の波形合成手段R1aの出力が選択されており、第2の制御手段が第1の遅れ信号を受信した場合、第2の制御手段は、第1の波形合成手段R1aの出力を第 $2m$ の波形合成手段R1aの出力に切り替えるように第2の選択手段を制御することを特徴とする。

【0052】従って、請求項 11記載の発明によれば、第1の遅れ信号を受信した場合、第2の制御手段は、第 p の波形合成手段R1aの出力を第 $(p-1)$ の波形合成手段R1aの出力に切り替え、第1の波形合成手段R1aの出力を第 $2m$ の波形合成手段R1aの出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合成手段R1aの出力をループ状に繰り返して選択し、要求された位相の波形合成手段R1aの出力を得ることが可能となる。

【0053】また、請求項 12記載の発明によれば、請求項 9から11のいずれか1項に記載の2段階可変長遅延回路において、第1の制御手段は、第2の選択手段により選択された波形合成手段R1aの出力をより遅い位相の波形合成手段R1aの出力に切り替える信号である第1の進み信号を受信した場合、選択された波形合成手段R1aの出力を生成する際に用いられない遅延素子の出力を切り替え対象の遅延素子の出力として、時間隔($m \times d t c$)だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することを特徴とする。

【0054】従って、請求項 12記載の発明によれば、第1の進み信号を受信した場合、切り替え対象の遅延素子の出力を時間隔($m \times d t c$)だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することによ

て、波形合成手段 $R1a$ の出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段 $R1a$ の出力を予め生成することが可能となる。

【0055】また、請求項 13記載の発明によれば、請求項 12記載の2段階可変長遅延回路において、1の進み信号を受信した場合の切り替え対象の遅延素子の出力は、第2の選択手段により切り替え時に選択されている波形合成手段 $R1a$ の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな粗調整遅延信号であり、かつ、第1の進み信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段 $R1a$ の出力と第1の進み信号を受信した場合の切り替え時に選択されている波形合成手段 $R1a$ の出力との位相差よりも、第1の進み信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段 $R1a$ の出力と第1の進み信号を受信した場合に切り替え後に選択される波形合成手段 $R1a$ の出力との位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする。

【0056】従って、請求項 13記載の発明によれば、第1の進み信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される波形合成手段 $R1a$ の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、波形合成手段 $R1a$ の出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段 $R1a$ の出力を予め生成することが可能となる。

【0057】また、請求項 14記載の発明によれば、請求項 12または13記載の2段階可変長遅延回路において、第2の選択手段により第 q (q は 1 以上 ($2m-1$) 以下の任意の整数) の波形合成手段 $R1a$ の出力が選択されており、第2の制御手段が第1の進み信号を受信した場合、第2の制御手段は、第 q の波形合成手段 $R1a$ の出力を第 $(q+1)$ の波形合成手段 $R1a$ の出力に切り替えるように第2の選択手段を制御し、第2の選択手段により第 $2m$ の波形合成手段 $R1a$ の出力が選択されており、第2の制御手段が第1の進み信号を受信した場合、第2の制御手段は、第 $2m$ の波形合成手段 $R1a$ の出力を第1の波形合成手段 $R1a$ の出力に切り替えるように第2の選択手段を制御することによって、第2の制御手段は、第 q の波形合成手段 $R1a$ の出力を第 $(q+1)$ の波形合成手段 $R1a$ の出力に切り替え、第 $2m$ の波形合成手段 $R1a$ の出力を第1の波形合成手段 $R1a$ の出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合成手段 $R1a$ の出力をループ状に繰り返して選択し、要求された位相の波形合成手段 $R1a$ の出

力を得ることが可能となる。

【0059】また、請求項 15記載の発明によれば、請求項 4から14のいずれか1項に記載の2段階可変長遅延回路において、波形合成手段 $R1a$ と第2の選択手段との間に縦続接続された r (r は 1 以上の任意の整数) 個の波形合成手段が直列に挿入されていることを特徴とする。

【0060】従って、請求項 15記載の発明によれば、波形合成手段 $R1a$ と第2の選択手段との間に縦続接続された r 個の波形合成手段を直列に挿入することによって、時間隔 ($d\tau/2$) よりもさらに微細な調整間隔の波形合成手段の出力を得ることが可能となる。

【0061】また、請求項 16記載の発明によれば、請求項 15記載の2段階可変長遅延回路において、 r 個の波形合成手段が接続されている波形合成手段 $R1a$ の出力側を前段、第2の選択手段の入力側を後段として、 r 個の波形合成手段のうち、前段から s (s は 1 以上 r 以下の任意の整数) 個目の波形合成手段は、第1の選択手段により選択された m 個の遅延素子の出力を位相が速い順に第1から第 m までの入力となっている場合に、前段の波形合成手段の第1から第 $(m \times 2s)$ までの出力をそれぞれ第1から第 $(m \times 2s)$ までの入力とし、第1から第 $(m \times 2s)$ の入力を増幅させた出力をそれぞれ第1から第 $(m \times 2s+1-1)$ の出力とし、第 t (t は 1 以上 $(m \times 2s-1)$ 以下の任意の整数) の入力と第 $(t+1)$ の入力とを波形合成した出力を第 $2t$ の出力とし、第 $(m \times 2s)$ の入力と第1の入力とを波形合成した出力を第 $(m \times 2s+1)$ の出力とし、第1の選択手段により選択された m 個の遅延素子の出力である第 n の入力 (n は 1 以上 $(m-1)$ 以下の任意の整数) と第 $(n+1)$ の入力との時間隔を ($d\tau$) である場合、 t が 1 から $(2s \times (m-1) + 1)$ の範囲で、第 t の入力と第 $(t+1)$ の入力との位相差が時間隔 ($d\tau/2s$) であり、 u が 1 から $(2s+1 \times (m-1) + 1)$ の範囲で第 u の入力と第 $(u+1)$ の入力との位相差が時間隔 ($d\tau/2s+1$) であり、第1の選択手段により選択された m 個の遅延素子の出力である第 m の入力の位相が第1の入力の位相より速くなったときに、 t が $(2s \times (m-1) + 1)$ から $(m \times 2s-1)$ の範囲で、第 t の入力と第 $(t+1)$ の入力との位相差が時間隔 ($d\tau/2s$) であり、 u が $(2s+1 \times (m-1) + 1)$ から $(m \times 2s+1-1)$ の範囲で第 u の入力と第 $(u+1)$ の入力との位相差が時間隔 ($d\tau/2s+1$) であることを特徴とする。

【0062】従って、請求項 16記載の発明によれば、前段から s 個目の波形合成手段の第 u の出力と第 $(u+1)$ の出力との位相差を時間隔 ($d\tau/2s+1$) とすることによって、時間隔 ($d\tau/2$) よりもさらに微細である調整間隔を得ることが可能となる。

【0063】また、請求項 17記載の発明によれば、請

請求項 15 または 16 記載の 2 段階可変長遅延回路において、 r 個の波形合成手段のうち、前段から s 個目の波形合成手段は、第 1 から第 $(m \times 2s)$ までの入力をそれぞれ増幅させる $(m \times 2s)$ 個のバッファと、第 t の入力を位相が遅い入力側とし、第 $(t+1)$ の入力を位相が遅い入力側として、第 t の入力と第 $(t+1)$ の入力を増幅させた後、結合させ、波形合成して中間の位相の出力を生成する $(m \times 2s - 1)$ 個のインターポレータ i_{py} (y は 1 以上 $(m \times 2s - 1)$ 以下の整数) と、第 $(m \times 2s)$ の入力を位相が遅い入力側とし、第 1 の入力を位相が遅い入力側として、第 $(m \times 2s)$ の入力と第 1 の入力を増幅させた後、結合させ、波形合成して中間の位相の出力を生成するインターポレータ i_p ($m \times 2s$) と、を有するリングインターポレータであることを特徴とする。

【0064】従って、請求項 17 記載の発明によれば、前段から s 個目の波形合成手段を、 $(m \times 2s)$ 個のインターポレータを有するリングインターポレータとし、第 t の入力がインターポレータの遅い位相の信号の入力側に入力され、第 $(t+1)$ の入力がインターポレータの遅い位相の信号の入力側に入力されることによって、第 t の入力と第 $(t+1)$ の入力との中間の位相を有する微細である調整間隔の出力を得ることが可能となる。

【0065】また、請求項 18 記載の発明によれば、請求項 15 から 17 のいずれか 1 項に記載の 2 段階可変長遅延回路において、第 2 の選択回路は、波形合成手段 $R1a$ と第 2 の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されている場合、 r 個の波形合成手段のうち、第 2 の選択回路と接続されている最も後段の波形合成手段の出力から 1 個の出力を選択することを特徴とする。

【0066】従って、請求項 18 記載の発明によれば、第 2 の選択回路は、 r 個の波形合成手段のうち、第 2 の選択回路と接続されている最も後段の波形合成手段の出力から 1 個の出力を選択することによって、要求された位相の最も後段の波形合成手段の最も微細である調整間隔の出力を得ることが可能となる。

【0067】また、請求項 19 記載の発明によれば、請求項 18 記載の 2 段階可変長遅延回路において、第 1 の制御手段は、最も後段の波形合成手段と第 2 の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されており、第 2 の選択手段により選択された最も後段の波形合成手段の出力をより遅い位相の最も後段の波形合成手段の出力に切り替える信号である第 2 の遅れ信号を受信した場合、選択された最も後段の波形合成手段の出力を生成する際に用いられていない遅延素子の出力を切り替え対象の遅延素子の出力として、時間隔 $(m \times dte)$ だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第 1 の選択手段を制御することを特徴とする。

【0068】従って、請求項 19 記載の発明によれば、第 2 の遅れ信号を受信した場合、切り替え対象の遅延素子の出力を時間隔 $(m \times dte)$ だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第 1 の選択手段を制御することによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0069】また、請求項 20 記載の発明によれば、請求項 19 記載の 2 段階可変長遅延回路において、第 2 の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、第 2 の選択手段により切り替え時に選択されている最も後段の波形合成手段の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、かつ、第 2 の遅れ信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段 $R1a$ の出力と第 2 の遅れ信号を受信した場合の切り替え時に選択されている波形合成手段 $R1a$ の出力との位相差よりも、第 2 の遅れ信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段 $R1a$ の出力と第 2 の遅れ信号を受信した場合に切り替え後に選択される波形合成手段 $R1a$ の出力との位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする。

【0070】従って、請求項 20 記載の発明によれば、第 2 の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される最も後段の波形合成手段の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の相調整遅延信号を選択した場合より、使用する可能性が少なくなる相調整遅延信号であることによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0071】また、請求項 21 記載の発明によれば、請求項 19 または 20 記載の 2 段階可変長遅延回路において、最も後段の波形合成手段と第 2 の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されており、第 2 の選択手段により第 f (f は 2 以上 $(m \times 2s+1)$ 以下の任意の整数) の最も後段の波形合成手段の出力が選択されており、第 2 の制御手段が第 2 の遅れ信号を受信した場合、第 2 の制御手段は、第 f の最も後段の波形合成手段の出力を第 $(f-1)$ の最も後段の波形合成手段の出力に切り替えるように第 2 の選択手段を制御することを特徴とする。

【0072】従って、請求項 21 記載の発明によれば、第 2 の遅れ信号を受信した場合、第 2 の制御手段は、第 f の最も後段の波形合成手段の出力を第 $(f-1)$ の最も後段の波形合成手段の出力に切り替えるように第 2 の選択手段を制御することによって、要求された位相の最

も後段の波形合成手段の出力を得ることが可能となる。

【0073】また、請求項 22記載の発明によれば、請求項 19から21のいずれか1項に記載の2段階可変長遅延回路において、最も後段の波形合成手段と第2の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されており、第2の選択手段により第1の最も後段の波形合成手段の出力が選択されており、第2の制御手段が第2の遅れ信号を受信した場合、第2の制御手段は、第1の最も後段の波形合成手段の出力を第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することを特徴とする。

【0074】従って、請求項 22記載の発明によれば、第2の遅れ信号を受信した場合、第2の制御手段は、第1の最も後段の波形合成手段の出力を第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合成手段R1aの出力をループ状に繰り返して選択し、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0075】また、請求項 23記載の発明によれば、請求項 18から22のいずれか1項に記載の2段階可変長遅延回路において、第1の制御手段は、最も後段の波形合成手段と第2の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されており、第2の選択手段により選択された最も後段の波形合成手段の出力をより遅い位相の最も後段の波形合成手段の出力に切り替える信号である第2の進み信号を受信した場合、選択された最も後段の波形合成手段の出力を生成する際に用いられていない遅延素子の出力を切り替え対象の遅延素子の出力として、時間隔 $(m \times d \times t \times c)$ だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することを特徴とする。

【0076】従って、請求項 23記載の発明によれば、第2の進み信号を受信した場合、切り替え対象の遅延素子の出力を時間隔 $(m \times d \times t \times c)$ だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0077】また、請求項 24記載の発明によれば、請求項 23記載の2段階可変長遅延回路において、第2の進み信号を受信した場合の切り替え対象の遅延素子の出力は、第2の選択手段により切り替え時に選択されている最も後段の波形合成手段の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、かつ、第2の進み信号を受信した場合の切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と第2の進み信号を受信した場合の切

り替え時に選択されている波形合成手段R1aの出力との位相差よりも、第2の進み信号を受信した場合における切り替え後の遅延素子の出力を増幅させた波形合成手段R1aの出力と第2の進み信号を受信した場合に切り替え後に選択される波形合成手段R1aの出力との位相差の方が小さな場合に、切り替わる遅延素子の出力であることを特徴とする。

【0078】従って、請求項 24記載の発明によれば、第2の進み信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される最も後段の波形合成手段の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0079】また、請求項 25記載の発明によれば、請求項 23または24記載の2段階可変長遅延回路において、最も後段の波形合成手段と第2の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されており、第2の選択手段により第 e (e は1以上 $(m \times 2s+1-1)$ 以下の任意の整数)の最も後段の波形合成手段の出力が選択されており、第2の制御手段が第2の進み信号を受信した場合、第2の制御手段は、第 e の最も後段の波形合成手段の出力を第 $(e+1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することを特徴とする。

【0080】従って、請求項 25記載の発明によれば、第2の進み信号を受信した場合、第2の制御手段は、第 e の最も後段の波形合成手段の出力を第 $(e+1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0081】また、請求項 26記載の発明によれば、請求項 23から25のいずれか1項に記載の2段階可変長遅延回路において、最も後段の波形合成手段と第2の選択手段との間に縦続接続された r 個の波形合成手段が直列に挿入されており、第2の選択手段により第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力が選択されており、第2の制御手段が第2の進み信号を受信した場合、第2の制御手段は、第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力を第1の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することを特徴とする。

【0082】従って、請求項 26記載の発明によれば、第2の進み信号を受信した場合、第2の制御手段は、第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力を第1の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合

成手段R1aの出力をループ状に繰り返して選択し、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0083】また、請求項27記載の発明によれば、請求項17から26のいずれか1項に記載の2段階可変長遅延回路において、インターポレータIPX、インターポレータIPm、インターポレータipy、およびインターポレータip ($m \times 2s$) は、位相が異なる2個の信号が入力され、2個の信号のうち速い位相の信号を増幅させる位相の遅い入力側に接続されたバッファB1およびバッファB3と、位相が遅い入力信号を増幅させる位相の遅い入力側に接続されたバッファB2およびバッファB4と、をそれぞれ有した場合、バッファB1の出力とバッファB2の出力とを接続し、波形合成した出力が、位相の速い入力信号を増幅したバッファB3の出力の位相と位相の遅い入力信号を増幅したバッファB4の出力の位相との中間の位相が得られるように、バッファB1およびバッファB2に用いられているトランジスタのオン抵抗値が設定されるバッファB1およびバッファB2からなることを特徴とする。

【0084】従って、請求項27記載の発明によれば、インターポレータIPX、インターポレータIPm、インターポレータipy、およびインターポレータip ($m \times 2s$) が有するバッファのオン抵抗値を設定することによって、位相が異なる2個の信号の中間の位相を有する信号を精度よく生成することが可能となる。

【0085】また、請求項28記載の発明によれば、請求項27記載の2段階可変長遅延回路において、バッファB1、バッファB2、バッファB3、バッファB4、m個のバッファのうち任意のバッファ、および($m \times 2s$) 個のバッファのうち任意のバッファは、それぞれアンプあるいはインバータであることを特徴とする。

【0086】従って、請求項28記載の発明によれば、バッファは、アンプあるいはインバータであることによって、出力の遅延時間の設計を容易にすることが可能となる。

【0087】

【発明の実施の形態】(第1の実施形態の構成) 図1は、本発明の第1の実施形態における2段階可変長遅延回路の構成を示す図である。以下、図1を用いて、本実施形態における2段階可変長遅延回路が有する各部位の構成および機能について説明する。

【0088】本実施形態における2段階可変長遅延回路は、遅延手段として粗調整用遅延回路GCOと、波形合成手段R1aとして第1のリングインターポレータR1aと、第1の選択手段として第1の選択回路SLと、第2の選択手段として第2の選択回路S4と、第1の制御手段として第1の制御回路CONT1と、第2の制御手段として第2の制御回路CONT2とを有する。

【0089】また、粗調整用遅延回路GCOは、粗調整す

るときに使われる入力CLKINを時間間隔dtcの遅延時間を持つデジタル回路である複数の遅延素子D0~D14と、遅延素子D0~D14の出力である15個のタップとを有する。

【0090】入力CLKINは、1個の遅延素子を通して時間間隔dtcずつ位相が遅れる。例えば、遅延素子D5の出力の位相は、遅延素子D0の出力の位相より時間間隔($5 \times dtc$)だけ遅れる。

【0091】第1の選択回路SLは、セクタS1と、セクタS2と、セクタS3とを有する。遅延素子の出力は、各々のセクタに3出力毎に接続されている。セクタS1~S3は、それぞれ1個の遅延素子の出力を選択し、その3個の遅延素子の出力は、例えば、遅延素子D3の出力、遅延素子D4の出力、遅延素子D5の出力というように連続するように選択される。

【0092】第1のリングインターポレータR1aは、セクタS1~S3が選択した遅延素子の出力を入力とし、セクタS1とセクタS2との出力間の波形合成を行うインターポレータと、セクタS2とセクタS3との出力間の波形合成を行うインターポレータと、セクタS3とセクタS1との出力間の波形合成を行うインターポレータと、セクタS1~S3からの入力をバッファするバッファと、を有する。バッファした出力及び、インターポレータの出力をバッファするバッファがあっても良い。

【0093】また、第1のリングインターポレータR1aでは、入力としたセクタS1~S3が選択した遅延素子の出力をバッファしたものと、上記のインターポレータの出力を出力とする。更に出力をバッファして出力しても良い。以下、第1のリングインターポレータR1aの入力をR1a入力とし、出力をR1a出力とする。

【0094】図3は、本発明の第1の実施形態における第1のリングインターポレータR1aの構成を示す図であり、以下、図3を用いて、第1のリングインターポレータR1aの構成についてさらに詳しく説明する。

【0095】第1のリングインターポレータR1aは、インターポレータip120と、インターポレータip230と、インターポレータip310と、バッファB100、B200、B300と、入力In1~In3と、出力T1a、T1b、T1c、T1j、T1k、T1l、とを有する。また、出力T1a、T1b、T1c、T1j、T1k、T1lをバッファするバッファB101、B121、B201、B231、B301、B311と、を有し、出力をa、b、c、j、k、lとしてもよい。

【0096】インターポレータip120は、バッファB120、B210と、バッファB120の出力とバッファB210の出力とを波形合成した出力T1bと、を有し、インターポレータip230は、バッファB230、B320と、バッファB230の出力とバッファB

320の出力とを波形合成した出力T1jと、を有し、インターポレータip310は、バッファB310、B130と、バッファB310の出力とバッファB130の出力とを波形合成した出力T1iと、を有する。

【0097】以下、第2の選択回路S4、第1の制御回路CONT1、および第2の制御回路CONT2について図1および図3を用いて説明する。

【0098】第2の選択回路S4は、出力T1a、T1b、T1c、T1j、T1k、T1l、あるいは該出力をバッファしたR1a出力a、b、c、j、k、lから1つの出力を選択する。

【0099】第1の制御回路CONT1は、セクタS1～S3に、粗調整用遅延回路GCの遅延素子D0～D14の出力から連続した3個の出力を選択させる第1の選択信号を送信する。

【0100】第1の制御回路CONT1は、第2の選択回路S4が選択しているR1a出力あるいは該出力をバッファした出力より遅い位相のR1a出力に切り替える信号である遅れ信号upを受信した場合、現在第1の選択回路により選択されている3個の遅延素子の出力のうち1個を切り替えるように第1の選択回路を制御する。

【0101】また、第1の制御回路CONT1は、第2の選択回路S4が選択しているR1a出力あるいは該出力をバッファした出力より遅い位相のR1a出力に切り替える信号である進み信号dnを受信した場合も同様に、現在第1の選択回路により選択されている3個の遅延素子の出力のうち1個を切り替えるように第1の選択回路を制御する。

【0102】第2の制御回路CONT2は、第1のリングインターポレータR1aの出力から1個の出力を選択する第2の選択信号を第2の選択回路S4に送信することにより、第2の選択回路S4を制御する。

【0103】第2の制御回路CONT2は、遅れ信号upを受信した場合、より遅いR1a出力を選択するように切り替え、進み信号dnを受信した場合、より遅いR1a出力を選択するように切り替える選択信号を第2の選択回路S4に送信する。

【0104】（第1の実施形態の動作）以下、本発明の第1の実施形態の動作を図1および図3を用いて説明する。

【0105】入力CLKINは粗調整用遅延回路GCの遅延素子を通過することに時間間隔dtcずつ位相が遅れる。従って、粗調整用遅延回路GCは、入力CLKINの位相より時間間隔dtcだけ遅い遅延素子D0の出力と、前段の遅延素子の出力の位相より時間間隔dtcだけ遅い遅延素子D1～D14の出力とを得る。

【0106】第1の選択回路S1は、セクタS1～S3を有し、セクタS1は、第1の制御回路CONT1からの第1の選択信号により、粗調整用遅延回路GCの

遅延素子D0から3個ごとの出力である遅延素子D0、D3、D6、D9、D12の出力から1個の出力を選択する。

【0107】また、セクタS2は、第1の制御回路CONT1からの第1の選択信号により、遅延素子D1から3個ごとの出力である遅延素子D1、D4、D7、D10、D13の出力から1個の出力を選択する。

【0108】また、セクタS3は、第1の制御回路CONT1からの第1の選択信号により、遅延素子D2から3個ごとの出力である遅延素子D2、D5、D8、D11、D14の出力から1個の出力を選択する。

【0109】第1の制御回路CONT1は、セクタS1～S3に、粗調整用遅延回路GCの遅延素子D0～D14の出力から連続した3個の遅延素子の出力を選択させる第1の選択信号を送信する。

【0110】第1のリングインターポレータR1aは、セクタS1～S3により選択された3個の遅延素子の出力をR1a入力ln1～ln3とする。

【0111】R1a入力ln1に入力された入力信号は、それぞれ、バッファB100、B120、B130に入力され、バッファされる。バッファB100によりバッファされた入力信号をR1a出力T1aとする。

【0112】同様に、R1a入力ln2に入力された入力信号は、それぞれ、バッファB200、B210、B230に入力され、バッファされる。バッファB200によりバッファされた入力信号をR1a出力T1cとする。

【0113】同様に、R1a入力ln3に入力された入力信号は、それぞれ、バッファB300、B310、B320に入力され、バッファされる。バッファB300によりバッファされた入力信号をR1a出力T1kとする。

【0114】以下、各インターポレータにおける動作について説明する。位相の異なる2つの入力信号がインターポレータip120に入力する場合、R1a入力ln1には位相が遅い入力信号が入力され、R1a入力ln2には位相が遅い入力信号が入力される。その際、インターポレータip120は、位相が遅い入力信号をバッファしたバッファB120の出力と、位相が遅い入力信号をバッファしたバッファB210の出力とを電流合成する。その際、バッファB100の出力T1aの位相とバッファB200の出力T1cの位相との中間の位相が得られるようにバッファB120およびB210を構成するトランジスタの大きさは設定されており、R1a出力T1bから出力される信号は、R1a出力T1aから出力される信号とR1a出力T1cから出力される信号との中間の位相を得る。

【0115】同様に、位相の異なる2つの入力信号がインターポレータip230に入力する場合、R1a入力ln2には位相が遅い入力信号が入力され、R1a入力

1n3には位相が遅い入力信号が入力される。その際、インターポレータip230は、位相が遅い入力信号をバッファしたバッファB230の出力と、位相が遅い入力信号をバッファしたバッファB320の出力とを電流合成する。その際、バッファB200の出力T1cの位相とバッファB300の出力T1kの位相との中間の位相が得られるようにバッファB230およびB320を構成するトランジスタの大きさは設定されており、R1a出力T1jから出力される信号は、R1a出力T1cから出力される信号とR1a出力T1kから出力される信号との中間の位相を得る。

【0116】同様に、位相の異なる2つの入力信号がインターポレータip310に入力される場合、R1a入力1n3には位相が遅い入力信号が入力され、R1a入力1n1には位相が遅い入力信号が入力される。その際、インターポレータip310は、位相が遅い入力信号をバッファしたバッファB310の出力と、位相が遅い入力信号をバッファしたバッファB130の出力とを電流合成する。その際、バッファB300の出力T1kの位相とバッファB100の出力T1aの位相との中間の位相T1lが得られるようにバッファB310およびB130を構成するトランジスタの大きさは設定されており、R1a出力T1lから出力される信号は、R1a出力T1kから出力される信号とR1a出力T1aから出力される信号との中間の位相を得る。

【0117】上記のR1a出力T1a、T1b、T1c、T1j、T1k、T1lから出力された信号は、それぞれバッファB101、B121、B201、B231、B301、B311により再度バッファされ、それぞれR1a出力a、b、c、j、k、lとしてもよい。

【0118】第2の選択回路S4は、第2の制御回路CONT2からの第2の選択信号に従い、R1a出力T1a、T1b、T1c、T1j、T1k、T1l、あるいはそれらの出力をバッファしたR1a出力a、b、c、j、k、lから1つの出力を選択する。

【0119】第2の制御回路CONT2は、第1のリングインターポレータR1aの出力から1個の出力を選択する第2の選択信号を第2の選択回路S4に送信し、第2の選択回路S4を制御する。

【0120】図7は、本発明の第1の実施形態におけるインターポレータip120の構成を示す回路図である。以下、本実施形態では、図7に示されているように、バッファB120、B210は、nMOSおよびpMOSトランジスタを組み合わせて作成されたCMOS回路であるとして、図3および図7を用いて、インターポレータip120による波形合成の動作について説明する。

【0121】R1a入力1n1および出力T1aに接続されたバッファB100と、R1a入力1n2および出力T1cに接続されたバッファB200とは、同じ大

さのトランジスタを使用して作成されているため、R1a入力1n1から出力T1aまでの遅延時間とR1a入力1n2から出力T1cまでの遅延時間とは等しい。そのため、R1a入力1n1に入力された入力信号とR1a入力1n2に入力された入力信号との位相差と同じ位相差を持つR1a出力T1aとR1a出力T1cとを得ることができる。

【0122】インターポレータip120は、遅い位相の入力信号が入力されるR1a入力1n1側に接続されるバッファB120と、遅い位相の入力信号が入力されるR1a入力1n2に接続されるバッファB210との出力同士を接続して電流合成する。

【0123】互いに位相が異なる2つの入力信号のうち一方の入力信号の状態が「0」、他方の入力信号の状態が「1」である場合、バッファB120、B210のうちの一方のバッファのpMOSのトランジスタと他方のバッファのnMOSのトランジスタとが同時に両方オンし、上記の両トランジスタにオン抵抗が生じる。

【0124】上記のように、バッファB120のR1a入力1n1に遅い位相の入力信号を入力した場合、バッファB120の出力の過渡現象が非線形であり、負荷が重い場合、バッファB120の出力の位相が遅くなる傾向がある。

【0125】そこで、遅い位相の入力信号が入力されるR1a入力1n1に接続されたバッファB120のトランジスタが、遅い位相の入力信号が入力されるR1a入力1n2に接続されたB210のトランジスタより大きなトランジスタに設定されることにより、バッファB120の抵抗値は、バッファB210の抵抗値より小さな値となる。

【0126】バッファB120、B210のうちの一方のバッファのpMOSのトランジスタと他方のバッファのnMOSのトランジスタとが同時に両方オンすると、上記の抵抗値の関係から、波形合成されたR1a出力T1bは、バッファB120においてオンしているトランジスタに接続された電源あるいはグラウンドに近い値となる。

【0127】バッファB120に入力された入力信号が「0」、バッファB210に入力された入力信号が「1」であるとする、バッファB120の出力値が「1」、バッファB210の出力値が「0」となり、波形合成されたR1a出力T1bは、中間値をとり、R1a出力T1aより遅い位相となる。

【0128】また、遅い位相の入力信号が、遅い位相の入力信号の入力がバッファB120を介して出力されるタイミングよりも遅れて、1n2に入力され、バッファB210の出力値が「1」に変化すると、R1a出力T1bは、中間値から急激に「1」に変化する。従って、遅い位相の入力信号がバッファB200を介する出力T1cより速く「1」に変化し、さらに、バッファB12

0、B210が有するトランジスタの大きさを調整することにより、R1a出力T1aとR1a出力T1cとの中間の位相のR1a出力T1bが得られる。

【0129】インターポレータip230、ip310もインターポレータip120と同様の構成となっており、2つの入力をバッファした2つの出力の中間の位相を持つ出力を得られる。

【0130】第1の選択回路SLが有するセクタS1～S3が、粗調整用遅延回路GCの出力から、R1a入力In1に最も速い位相の入力を選択し、R1a入力In3に最も遅い入力を選択した場合、第1のリングインターポレータR1aは、R1a入力In1の信号をバッファした出力T1aが最も速い位相を持ち、R1a入力In3をバッファした出力T1kが最も遅い位相を持つ。

【0131】その際、R1a入力In1とR1a入力In3とは粗調整用遅延回路GCの出力のタップが2タップ分離しており、かつインターポレータip310の入力は、位相が遅い入力をR1a入力In3、位相が遅い入力をR1a入力In1としており、逆にになっているために、インターポレータip310は、微小な時間隔かつR1a入力In3とR1a入力In1との中間の位相を有する出力を得ることができない。

【0132】例えば、第1の選択回路SLがR1a入力として遅延素子D4、D5、D6の出力を選択しており、R1a入力In1として遅延素子D4の出力、R1a入力In2として遅延素子D5の出力、R1a入力In3として遅延素子D6の出力が選択されているとする。

【0133】上記のように、R1a入力が選択されている場合、R1a出力a、b、c、j、k、lは以下のように設定される。遅延素子D4の出力を2度バッファしたものをR1a出力aとし、遅延素子D4の出力をバッファしたものと遅延素子D5の出力をバッファしたものとを波形合成し、再度バッファしたものをR1a出力bとし、遅延素子D5の出力を2度バッファしたものをR1a出力cとし、遅延素子D5の出力をバッファしたものと遅延素子D6の出力をバッファしたものとを波形合成し、再度バッファしたものをR1a出力jとし、遅延素子D6の出力を2度バッファしたものをR1a出力kとし、遅延素子D6の出力をバッファしたものと遅延素子D4の出力をバッファしたものとを波形合成し、再度バッファしたものをR1a出力lとする。

【0134】上記のようにR1a入力が選択されている場合、R1a出力のうち、遅延素子D4の出力をバッファしたR1a出力aが最も位相が遅い出力となり、遅延素子D6の出力をバッファしたR1a出力kが最も位相が速い出力となる。

【0135】また、インターポレータip310において、2つの入力信号のうち速い位相の入力信号が入力さ

れるように設計されているバッファB310に遅延素子D6の出力が入力され、速い位相の入力信号が入力されるように設計されているバッファB130に遅延素子D4の出力が入力される。

【0136】上記のように、インターポレータip310には、遅延素子D6の出力および遅延素子D4の出力のうち、速い位相である遅延素子D6の出力が速い位相の入力側に入力され、速い位相である遅延素子D4の出力が遅い入力側に入力されており、また、遅延素子D6の出力と遅延素子D4の出力との位相差は、時間隔(2×dtc)であるため、上記した条件下では、インターポレータip310において2つの入力を基にしてその2つの入力の中間の位相の出力を微小な時間隔で生成することができない。

【0137】第1の制御回路CONT1は、第2の選択回路S4が選択するR1a出力を時間隔dtcの2分の1である時間隔dtc/2だけ速い位相の出力に切り替えさせる遅れ信号up、あるいは第2の選択回路S4が選択するR1a出力を時間隔dtc/2だけ遅い位相の出力に切り替えさせる進み信号dnを受信した場合、第1のリングインターポレータR1aの入力となる遅延素子の出力を切り替える。

【0138】以下、第1の制御回路CONT1および第2の制御回路CONT2が、遅れ信号upあるいは進み信号dnを受信した際における第1のリングインターポレータR1aの入力および出力の切り替え動作について説明する。

【0139】第2の選択回路S4がR1a出力bを選択している際に第2の制御回路CONT2が遅れ信号upを受信した場合、第2の制御回路CONT2は、R1a出力bからdtc/2だけ位相が遅い出力aに切り替えるように第2の選択回路S4を制御する。

【0140】第1の制御回路CONT1は、遅れ信号upを受信した場合、すなわち第2の選択回路S4がR1a出力j、kを選択する可能性よりも、R1a出力aより速い出力を選択する可能性が高くなった場合、第1の選択回路SLにより選択されている遅延素子の出力のうち1個の出力を他の遅延素子の出力に切り替えさせるように第1の選択回路SLを制御する。その切り替え対象となる遅延素子の出力は以下のように選択される。

【0141】切り替え対象となる遅延素子の出力は、第2の選択回路S4により現在選択されているR1a出力の基となる遅延素子の出力を除いた遅延素子の出力のうち、切り替え時のR1a出力の基となる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、かつ、切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と切り替え時に選択されているR1a出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1a出力と切り替え時に選択されるR1a出力との位相差の方が小さな場合に、切り替わ

る遅延素子の出力である。

【0142】現在選択されているR1a出力bは、遅延素子D4の出力と遅延素子D5の出力とを波形合成した出力をバッファしたものであり、切り替え対象の遅延素子の出力として、遅延素子D6の出力が選択される。また、遅延素子D6の出力は、切り替え時のR1a出力bの基となる遅延素子の出力である遅延素子D4とD5の出力から最も位相差が大きな遅延素子となっている。

【0143】さらに、遅延素子D6の出力をバッファしたR1a出力と切り替え時に選択されているR1a出力bとの位相差よりも、遅延素子D3の出力をバッファしたR1a出力と切り替え後に選択されるR1a出力aとの位相差の方が小さくなり、R1a出力bがR1a出力aに切り替わったときに遅延素子D3の出力の方が遅延素子D6の出力よりも、R1a入力In3として使用される可能性が高くなる。

【0144】切り替え対象として選択された遅延素子D6の出力は、R1a入力In1～In3が連続した3個の遅延素子の出力となるように、位相が時間隔(dtc×3)だけ遅い遅延素子D3の出力に切り替えられる。この結果、R1a入力In1には遅延素子D4の出力、R1a入力In2には遅延素子D5の出力、R1a入力In3には遅延素子D3の出力が入力される。

【0145】上記のように、R1a入力を切り替えることにより、インターポレータip310において、遅延素子D3の出力および遅延素子D4の出力のうち遅い位相である遅延素子D3の出力が遅い位相の入力側に入力され、遅い位相である遅延素子D4の出力が遅い入力側に入力されており、R1a入力In3とR1a入力In1との中間の位相の出力を得ることが可能となる。

【0146】上記のように、R1a入力In3が遅延素子D3の出力に切り替えられたことにより、R1a出力aより時間隔dtc1だけ遅い位相のR1a出力lと、R1a出力lより時間隔dtc1だけ位相が遅いR1a出力kとを得ることが可能となる。

【0147】また、同様に、R1a入力In1として遅延素子D4の出力、R1a入力In2として遅延素子D5の出力、R1a入力In3として遅延素子D6の出力が選択されているとして、第1の制御回路CONT1がR1a出力cからR1a出力bに切り替わる遅れ信号upを受信した場合は、切り替え時のR1a出力を生成する際に用いられている遅延素子D5の出力から最も位相差が大きな遅延素子の出力として遅延素子D4の出力および遅延素子D6の出力が選択されるが、両出力とも、

「切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と切り替え時に選択されているR1a出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1a出力と切り替え時に選択されるR1a出力との位相差の方が小さい」という条件を満たしていないため、遅延素子の出力の切り替えは行わ

れない。

【0148】第2の選択回路S4がR1a出力jを選択している際に第2の制御回路CONT2が進み信号dnを受信した場合、第2の制御回路CONT2は、R1a出力jから時間隔dtc1だけ位相が遅い出力kに切り替えるように第2の選択回路S4を制御する。

【0149】第1の制御回路CONT1は、進み信号dnを受信した場合、すなわち第2の選択回路S4がR1a出力a、bを選択する可能性よりも、R1a出力kより遅い出力を選択する可能性が高くなった場合、第1の選択回路SLにより選択されている遅延素子の出力のうち1個の出力を他の遅延素子の出力に切り替えさせるように第1の選択回路SLを制御する。その切り替え対象となる遅延素子の出力は以下のように選択される。

【0150】切り替え対象となる遅延素子の出力は、第2の選択回路S4により現在選択されているR1a出力の基となる遅延素子の出力を除いた遅延素子の出力のうち、切り替え時のR1a出力の基となる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、かつ、切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1aの出力と切り替え時に選択されているR1a出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1a出力と切り替え後に選択されるR1a出力との位相差の方が小さな場合に、切り替わる遅延素子の出力である。

【0151】現在選択されているR1a出力jは、遅延素子D5の出力と遅延素子D6の出力とを波形合成した出力をバッファしたものであり、切り替え対象の遅延素子の出力として、遅延素子D4の出力が選択される。また、遅延素子D4の出力は、切り替え時のR1a出力kの基となる遅延素子の出力である遅延素子D5とD6の出力から最も位相差が大きな遅延素子となっている。また遅延素子D4の出力を遅延素子D7に切り替えた方が、R1aの出力jが出力kに切り替わったときに、使用される可能性が高くなる。

【0152】さらに、遅延素子D4の出力をバッファしたR1a出力と切り替え時に選択されているR1a出力jとの位相差よりも、遅延素子D7の出力をバッファしたR1a出力と切り替え後に選択されるR1a出力kとの位相差の方が小さくなり、R1a出力jがR1a出力kに切り替わったときに遅延素子D7の出力の方が遅延素子D4の出力よりも、R1a入力In3として使用される可能性が高くなる。

【0153】切り替え対象として選択された遅延素子D4の出力は、R1a入力In1～In3が連続した3個の遅延素子の出力となるように、位相が時間隔(dtc×3)だけ遅い遅延素子D7の出力に切り替えられる。この結果、R1a入力In1には遅延素子D7の出力、R1a入力In2には遅延素子D5の出力、R1a入力In3には遅延素子D6の出力が入力される。

【0154】上記のように、R1a入力を切り替えることにより、インターポレータip310において、遅延素子D6の出力および遅延素子D7の出力のうち遅い位相である遅延素子D6の出力が遅い位相の入力側に入力され、遅い位相である遅延素子D7の出力が遅い入力側に入力されており、R1a入力in3とR1a入力in1との中間の位相の出力を得ることが可能となる。

【0155】上記のように、R1a入力in1が遅延素子D7の出力に切り替えられたことにより、R1a出力kより時間隔dtc1だけ遅い位相のR1a出力lと、R1a出力lより時間隔dtc1だけ位相が遅いR1a出力eとを得ることが可能となる。

【0156】また、同様に、R1a入力in1として遅延素子D4の出力、R1a入力in2として遅延素子D5の出力、R1a入力in3として遅延素子D6の出力が選択されているとして、第1の制御回路CONT1がR1a出力cからR1a出力jに切り替わる進み信号dnを受信した場合は、切り替え時のR1a出力を生成する際に用いられている遅延素子D5の出力から最も位相差が大きな遅延素子の出力として遅延素子D4および遅延素子D6の出力が選択されるが、「切り替え対象となる遅延素子の出力を増幅させた波形成手段R1aの出力と切り替え時に選択されているR1a出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1a出力と切り替え時に選択されるR1a出力との位相差の方が小さい」という条件を満たしていないため、遅延素子の出力の切り替えは行われない。

【0157】一般に、「1」の状態の時にデジタル回路の出力を切り替えると、グリッジと呼ばれるヒゲ状の不要なパルスが生じてしまう。従って、デジタル回路の出力が「0」の状態の時にデジタル回路の出力を切り替えるように、切り替えタイミングを調整する必要がある。

【0158】デジタル回路で構成されている遅延素子の出力を切り替える際は、グリッジ発生を抑制するために切り替えタイミングを調整する必要があるが、第1の選択回路SL、第2の選択回路S4、および第1のリングインターポレータR1aなどの遅延時間が大きいために遅延素子の出力の切り替えタイミングを制御することが困難である。従って、第2の選択回路S4によりR1a出力を切り替える際に、同時に、その切り替え対象となるR1a出力の基となる遅延素子の出力を切り替えると、デジタル回路により構成されている遅延素子を切り替える際に生じるグリッジがR1a出力において検出されてしまう可能性がある。

【0159】本実施形態では、第2の選択回路S4によりR1a出力を切り替える際に、その切り替えられるR1a出力の基となる遅延素子の出力を切り替えないように設計されているため、遅延素子の出力の切り替えにより生じるグリッジが第2の選択回路S4により選択され

たR1a出力において検出されず、遅延素子の出力の切り替えタイミングを考慮に入れる必要がなくなり、2段階可変長遅延回路のタイミング設計が容易となる。

【0160】また、第2の選択回路S4により選択されているR1a出力、および以後選択される可能性が高いR1a出力の基となるインターポレータip120、ip230、ip310の入力には、常に位相が遅い入力信号が位相が遅い入力側に入力され、位相が遅い入力信号が位相が遅い入力側に入力されるため、入力切り替えの時に遅延時間の変動が生じることが無く、ジッタを軽減させることが可能となる。

【0161】なお、本実施形態では、粗調整用遅延回路GCの出力を15タップとしたが、任意のタップ数であってもよいし、最初のタップから選択せず、任意のタップから出力をとってもよい。また、第1の選択回路SLのセレクト数を3個としたが、3個以上であってもよい。

【0162】図8(a)は、本発明の第1の実施形態におけるインターポレータの構成を示す回路図であり、図8(b)は、図8(a)で示されている本発明の第1の実施形態におけるインターポレータを論理回路図で示したものである。

【0163】図9(a)は、本発明の第1の実施形態におけるインターポレータの構成を示す回路図であり、図9(b)は、図9(a)で示されている本発明の第1の実施形態におけるインターポレータを論理回路図で示したものである。

【0164】図10(a)は、本発明の第1の実施形態におけるインターポレータの構成を示す回路図であり、図10(b)は、図10(a)で示されている本発明の第1の実施形態におけるインターポレータを論理回路図で示したものである。

【0165】また、本実施形態では、インターポレータip120、ip230、ip310を、図7(a)および図7(b)に示されているようなCMOS回路を組み合わせて作成された回路としたが、図8(a)、図8(b)、図9(a)、図9(b)、図10(a)、および図10(b)に示されているようなCML(カレントモードロジック)回路を組み合わせた回路としてもよい。

【0166】また、本実施形態では、バッファとしてインバータを用いたが、アンプを用いてもよい。

【0167】(第2の実施形態の構成)図2は、本発明の第2の実施形態における2段階可変長遅延回路の構成を示す図である。以下、図2を用いて、本実施形態における2段階可変長遅延回路が有する各部位の構成および機能について説明する。

【0168】本実施形態における2段階可変長遅延回路は、第1の実施形態と同様に、遅延手段として粗調整用遅延回路GCと、波形成手段R1aとして第1のリン

グインターポレータR1aと、第1の選択手段として第1の選択回路SLと、第2の選択手段として第2の選択回路S4と、第1の制御手段として第1の制御回路CONT1と、第2の制御手段として第2の制御回路CONT2とを有し、さらに波形合成手段R1aと第2の選択手段との間に縦続接続されたr個(r=1の場合)の波形合成手段として第2のリングインターポレータR1bを有する。

【0169】粗調整用遅延回路GCは、第1の実施形態と同様に、粗調整するときに使われる入力CLKINを時間隔dtcの遅延時間を持つデジタル回路である複数の遅延素子D0~D14と、遅延素子D0~D14の出力である15個のタップとを有する。

【0170】第1の選択回路SLは、第1の実施形態と同様に、第1のセクタであるセクタS1と、第2のセクタであるセクタS2と、第3のセクタであるセクタS3と、を有する。遅延素子の出力は、各々のセクタに3出力毎に接続されている。セクタS1~S3は、それぞれ1個の遅延素子の出力を選択し、その3個の遅延素子の出力は、連続するように選択される。

【0171】第1のリングインターポレータR1aは、第1の実施形態と同様の構成を有し、時間隔dtcであるセクタS1~S3の出力を入力とし(以下、R1a入力)、時間隔dtc1である信号を出力とする(以下、R1a出力)。更に出力をバッファした出力であってもよい。

【0172】第1の制御回路CONT1は、第1の実施形態と同様に、セクタS1~S3に、粗調整用遅延回路GCの遅延素子D0~D14の出力から連続した3個の出力を選択させる第1の選択信号を送信する。

【0173】本実施形態は、第1の実施形態の構成に加え、第1のリングインターポレータR1aと第2の選択回路S4との間に第2のリングインターポレータR1bが挿入されている。図4は、本発明の第2の実施形態における第1のリングインターポレータR1aおよび第2のリングインターポレータR1bの構成を示す図であり、以下、図4を用いて、第2のリングインターポレータR1bの構成について説明する。

【0174】第2のリングインターポレータR1bは、第1のリングインターポレータR1aの出力T1a、T1b、T1c、T1j、T1k、T1lの出力をバッファした出力a、b、c、j、k、lを、それぞれR1b入力Ina、Inb、Ino、Inj、Ink、Inlとし、各R1b入力をバッファした出力および各R1b入力を波形合成した出力を出力T1e、T1f、T1g、T1h、T1i、T1p、T1q、T1r、T1s、T1t、T1u、T1vとする。また、各出力をさらにバッファしたものをそれぞれR1b出力e、f、g、h、i、p、q、r、s、t、u、vとしてもよい。

【0175】また、第2のリングインターポレータR1bは、バッファB102、B122、B202、B232、B302、B312と、インターポレータip121、ip122、ip231、ip232、ip311、ip312と、を有する。

【0176】R1b入力Inaに入力された信号は、バッファB102によりバッファされ、出力T1eから出力され、R1b入力Inbに入力された信号は、バッファB122によりバッファされ、出力T1gから出力され、R1b入力Inoに入力された信号は、バッファB202によりバッファされ、出力T1iから出力され、R1b入力Injに入力された信号は、バッファB232によりバッファされ、出力T1qから出力され、R1b入力Inkに入力された信号は、バッファB302によりバッファされ、出力T1sから出力され、R1b入力Inlに入力された信号は、バッファB312によりバッファされ、出力T1uから出力される。

【0177】インターポレータip121は、バッファB120i、B121iとを有し、バッファB120iの出力とバッファB121iの出力とを波形合成した出力を出力T1fとする。また、位相が遅い信号はバッファB120iに入力され、位相が遅い信号はバッファB121iに入力される。

【0178】インターポレータip122は、バッファB210i、B211iとを有し、バッファB210iの出力とバッファB211iの出力とを波形合成した出力を出力T1hとする。また、位相が遅い信号はバッファB210iに入力され、位相が遅い信号はバッファB211iに入力される。

【0179】インターポレータip231は、バッファB230i、B231iとを有し、バッファB230iの出力とバッファB231iの出力とを波形合成した出力を出力T1pとする。また、位相が遅い信号はバッファB230iに入力され、位相が遅い信号はバッファB231iに入力される。

【0180】インターポレータip232は、バッファB320i、B321iとを有し、バッファB320iの出力とバッファB321iの出力とを波形合成した出力を出力T1rとする。また、位相が遅い信号はバッファB320iに入力され、位相が遅い信号はバッファB321iに入力される。

【0181】インターポレータip311は、バッファB310i、B311iとを有し、バッファB310iの出力とバッファB311iの出力とを波形合成した出力を出力T1tとする。また、位相が遅い信号はバッファB310iに入力され、位相が遅い信号はバッファB311iに入力される。

【0182】インターポレータip312は、バッファB130i、B131iとを有し、バッファB130iの出力とバッファB131iの出力とを波形合成した出

力を出力T1vとする。また、位相が遅い信号はバッファB130iに入力され、位相が遅い信号はバッファB131iに入力される。

【0183】第2の選択回路S4は、出力T1e、T1f、T1g、T1h、T1i、T1p、T1q、T1r、T1s、T1t、T1u、T1v、あるいは該出力をバッファしたR1b出力e、f、g、h、i、p、q、r、s、t、u、vから1つの出力を選択する。

【0184】第2の制御回路CONT2は、第2のリングインターポレータR1bの出力から1個の出力を選択する第3の選択信号を第2の選択回路S4に送信することにより、第2の選択回路S4を制御する。

【0185】(第2の実施形態の動作) 以下、本発明の第2の実施形態の動作を図2および図4を用いて説明する。

【0186】入力CLKINは粗調整用遅延回路GCの遅延素子を通過することに時間隔dteずつ位相が遅れる。従って、第1の実施形態と同様に、粗調整用遅延回路GCは、入力CLKINの位相より時間隔dteだけ遅い遅延素子D0の出力と、前段の遅延素子の出力の位相より時間隔dteだけ遅い遅延素子D1~D14の出力とを得る。

【0187】第1の選択回路SLは、第1の実施形態と同様に、セクタS1~S3を有し、セクタS1は、第1の制御回路CONT1からの第1の選択信号により、遅延素子D0、D3、D6、D9、D12の出力から1個の出力を選択し、セクタS2は、第1の制御回路CONT1からの第1の選択信号により、遅延素子D1、D4、D7、D10、D13の出力から1個の出力を選択し、セクタS3は、第1の制御回路CONT1からの第1の選択信号により、遅延素子D2、D5、D8、D11、D14の出力から1個の出力を選択する。

【0188】第1の制御回路CONT1は、第1の実施形態と同様に、セクタS1~S3に、遅延素子D0~D14の出力から選択した3個の遅延素子の出力を選択させる第1の選択信号を送信する。

【0189】第1のリングインターポレータR1aは、第1の実施形態と同様の構成を有し、セクタS1~S3により選択された3個の遅延素子の出力をR1a入力In1~In3とし、R1a入力In1をバッファした信号をR1a出力T1a、R1a入力In2をバッファした信号をR1a出力T1c、R1a入力In3をバッファした信号をR1a出力T1kとする。各々の出力をバッファした出力a、c、kであっても良い。

【0190】また、第1の実施形態と同様に、インターポレータip120により波形合成された信号をR1a出力T1b、インターポレータip230により波形合成された信号をR1a出力T1j、インターポレータip310により波形合成された信号をR1a出力T1iとする。各々の出力をバッファした出力b、j、iで

あっても良い。

【0191】第2のリングインターポレータR1bは、位相差が時間隔dte1のR1a出力を入力とし、位相差が時間隔dte1の2分の1である時間隔dte2の信号を出力とする。

【0192】第2の選択回路S4は、第2の制御回路CONT2からの第3の選択信号に従い、R1b出力T1e、T1f、T1g、T1h、T1i、T1p、T1q、T1r、T1s、T1t、T1u、T1vあるいはそれらの出力をバッファしたR1b出力e、f、g、h、i、p、q、r、s、t、u、vから1つの出力を選択する。

【0193】第2の制御回路CONT2は、第2のリングインターポレータR1bの出力から1個の出力を選択する第3の選択信号を第2の選択回路S4に送信し、第2の選択回路S4を制御する。

【0194】セクタS1~S3が、粗調整用遅延回路GCの出力から、R1a入力In1に最も速い位相の入力を選択し、R1a入力In3に最も遅い入力を選択した場合、第2のリングインターポレータR1bは、R1b入力Inaの信号をバッファした出力T1eが最も速い位相を持ち、R1b入力Inkをバッファした出力T1sが最も遅い位相を持つ。

【0195】その際、R1a入力In1とR1a入力In3とは粗調整用遅延回路GCの出力のタップが2タップ分離しており、かつインターポレータip310の入力は、位相が遅い入力をR1a入力In3、位相が遅い入力をR1a入力In1としており、逆になっているために、インターポレータip310は、微小な時間隔かつ中間の出力を得ることができない。従って、R1b出力T1t、T1u、T1vも同様に微小な時間隔の出力を得ることが不可能である。

【0196】例えば、第1の選択回路SLがR1a入力として遅延素子D4、D5、D6の出力を選択しており、R1a入力In1として遅延素子D4の出力、R1a入力In2として遅延素子D5の出力、R1a入力In3として遅延素子D6の出力と設定されているとする。

【0197】上記のように、R1a入力が選択されている場合、R1a出力a、b、c、j、k、iは以下のように設定される。遅延素子D4の出力を2度バッファしたものを出力aとし、遅延素子D4の出力をバッファしたものと遅延素子D5の出力をバッファしたものを波形合成し、再度バッファしたものを出力bとし、遅延素子D5の出力を2度バッファしたものを出力cとし、遅延素子D5の出力をバッファしたものと遅延素子D6の出力をバッファしたものを波形合成し、再度バッファしたものを出力jとし、遅延素子D6の出力を2度バッファしたものを出力kとし、遅延素子D6の出力をバッファしたものと遅延素子D4の出力をバッファしたものを

とを波形成し、再度バッファしたものを出力 l とする。

【0198】 $R1a$ 出力のうち、遅延素子 $D4$ の出力をバッファした出力 a が最も位相が遅い出力となり、遅延素子 $D6$ の出力をバッファした出力 k が最も位相が遅い出力となる。

【0199】上記のように $R1a$ 入力を選択されている場合、インターポレータ $ip310$ において、2つの入力信号のうち遅い位相の入力信号が入力されるように設計されているバッファ $B310$ に遅延素子 $D6$ の出力が入力され、遅い位相の入力信号が入力されるように設計されているバッファ $B130$ に遅延素子 $D4$ の出力が入力される。

【0200】上記のように、インターポレータ $ip310$ には、遅延素子 $D6$ の出力および遅延素子 $D4$ の出力のうち、遅い位相である遅延素子 $D6$ の出力が遅い位相の入力側に入力され、遅い位相である遅延素子 $D4$ の出力が遅い入力側に入力されており、また、遅延素子 $D6$ の出力と遅延素子 $D4$ の出力との位相差は、 $(2 \times dtc)$ であるため、上記した条件下では、インターポレータ $ip310$ では、2つの入力を基にしてその2つの入力の中間の位相の出力を微小な時間隔で生成することができない。

【0201】従って、インターポレータ $ip311$ 、 $ip312$ においても、2つの入力を基にしてその2つの入力の中間の位相の出力を微小な時間隔で生成することができない。また、 $R1b$ 出力 $T1s$ より時間隔 $(2 \times dtc2)$ より遅い信号を $R1b$ 出力 $T1u$ から得ることも不可能である。

【0202】第1の制御回路 $CONT1$ は、第2の選択回路 $S4$ が選択する $R1b$ 出力を時間隔 $dtc1$ の2分の1である時間隔 $dtc2$ だけ遅い位相の $R1b$ 出力に切り替えさせる遅れ信号 up 、あるいは第2の選択回路 $S4$ が選択する $R1b$ 出力を時間隔 $dtc2$ だけ遅い位相の $R1b$ 出力に切り替えさせる進み信号 dn を受信した場合、第1のリングインターポレータ $R1a$ の入力となる遅延素子の出力を切り替える。

【0203】以下、第1の制御回路 $CONT1$ および第2の制御回路 $CONT2$ が、遅れ信号 up あるいは進み信号 dn を受信した際における第1のリングインターポレータ $R1a$ および第2のリングインターポレータ $R1b$ の入出力の切り替え動作について説明する。

【0204】第2の選択回路 $S4$ が $R1b$ 出力 e を選択している際に第2の制御回路 $CONT2$ が遅れ信号 up を受信した場合、第2の制御回路 $CONT2$ は、 $R1b$ 出力 e から $dtc2$ だけ位相が遅い $R1b$ 出力 f に切り替えるように第2の選択回路 $S4$ を制御する。

【0205】第1の制御回路 $CONT1$ は、遅れ信号 up を受信した場合、すなわち第2の選択回路 $S4$ が $R1b$ 出力 p 、 q 、 r 、 s を選択する可能性よりも、 $R1b$

出力 e より遅い $R1b$ 出力を選択する可能性が高くなった場合、第1の選択回路 $S4$ により選択されている遅延素子の出力のうち1個の出力を他の遅延素子の出力に切り替えさせるように第1の選択回路 $S4$ を制御する。その切り替え対象となる遅延素子の出力は以下のように選択される。

【0206】切り替え対象となる遅延素子の出力は、第2の選択回路 $S4$ により現在選択されている $R1b$ 出力の基となる遅延素子の出力を除いた遅延素子の出力のうち、切り替え時の $R1b$ 出力の基となる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、かつ切り替え対象となる遅延素子の出力を増幅させた波形成手段 $R1b$ の出力と切り替え時に選択されている $R1b$ 出力との位相差よりも、切り替え後における遅延素子の出力を増幅させた $R1b$ 出力と切り替え時に選択される $R1b$ 出力との位相差の方が小さな場合に、切り替わる遅延素子の出力である。

【0207】現在選択されている $R1b$ 出力 e は、遅延素子 $D4$ の出力と遅延素子 $D5$ の出力とを波形成した出力であり、切り替え対象の遅延素子の出力として、遅延素子 $D6$ の出力が選択される。また、遅延素子 $D6$ の出力は、切り替え時の出力 e の基となる遅延素子の出力である遅延素子 $D4$ と $D5$ の出力から最も位相差が大きな遅延素子となっている。

【0208】さらに、遅延素子 $D6$ の出力をバッファした $R1b$ 出力と切り替え時に選択されている $R1a$ 出力 g との位相差よりも、遅延素子 $D3$ の出力をバッファした $R1a$ 出力と切り替え後に選択される $R1a$ 出力 f との位相差の方が小さくなり、 $R1a$ 出力 g が $R1a$ 出力 f に切り替わったときに出力 v は出力 e より遅い位相を持つ出力として使われる可能性が高くなる。つまり、遅延素子 $D3$ の出力の方が遅延素子 $D6$ の出力よりも、 $R1a$ 入力 $ln3$ として使用される可能性が高くなる。

【0209】切り替え対象として選択された遅延素子 $D6$ の出力は、 $R1a$ 入力 $ln1 \sim ln3$ が連続した3個の遅延素子の出力となるように、位相が時間隔 $(dtc \times 3)$ だけ遅い遅延素子 $D3$ の出力に切り替えられる。この結果、 $R1a$ 入力 $ln1$ には遅延素子 $D4$ の出力、 $R1a$ 入力 $ln2$ には遅延素子 $D5$ の出力、 $R1a$ 入力 $ln3$ には遅延素子 $D3$ の出力が入力される。

【0210】上記のように、 $R1a$ 入力を切り替えることにより、インターポレータ $ip310$ において、遅延素子 $D3$ の出力および遅延素子 $D4$ の出力のうち遅い位相である遅延素子 $D3$ の出力が遅い位相の入力側に入力され、遅い位相である遅延素子 $D4$ の出力が遅い入力側に入力されており、 $R1a$ 入力 $ln3$ と $R1a$ 入力 $ln1$ との中間の位相の出力を得ることが可能となる。

【0211】上記のように、 $R1a$ 入力 $ln3$ が遅延素子 $D3$ の出力に切り替えられたことにより、 $R1a$ 出力 a より時間隔 $dtc1$ だけ遅い位相の $R1a$ 出力 l と、

R1a出力lより時間隔dtc1だけ位相が遅いR1a出力kとを得ることが可能となる。

【0212】従って、R1b出力eより時間隔dtc2だけ遅い位相のR1b出力vと、R1b出力vより時間隔dtc2だけ位相が遅いR1b出力uと、R1b出力uより時間隔dtc2だけ遅い位相のR1b出力tと、R1b出力tより時間隔dtc2だけ位相が遅いR1b出力sを得ることが可能となる。

【0213】また、同様に、R1a入力ln1として遅延素子D4の出力、R1a入力ln2として遅延素子D5の出力、R1a入力ln3として遅延素子D6の出力が選択されているとして、第1の制御回路CONT1がR1b出力iからR1b出力hに切り替わる遅れ信号upを受信した場合は、切り替え時のR1a出力を生成する際に用いられている遅延素子D5の出力から最も位相差が大きな遅延素子の出力として遅延素子D4の出力および遅延素子D6の出力が選択されるが、両出力とも、「切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1bの出力と切り替え時に選択されているR1b出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1b出力と切り替え時に選択されるR1b出力との位相差の方が小さい」という条件を満たしていないため、遅延素子の出力の切り替えは行われない。

【0214】第2の選択回路S4がR1b出力aを選択している際に第2の制御回路CONT2が進み信号dnを受信した場合、第2の制御回路CONT2は、R1b出力aから時間隔dtc1だけ位相が遅いR1b出力rに切り替えるように第2の選択回路S4を制御する。

【0215】第1の制御回路CONT1は、進み信号dnを受信した場合、すなわち第2の選択回路S4がR1b出力e、f、g、hを選択する可能性よりも、R1b出力sより遅い出力を選択する可能性が高くなった場合、第1の選択回路S1により選択されている遅延素子の出力のうち1個の出力を他の遅延素子の出力に切り替えさせるように第1の選択回路S1を制御する。その切り替え対象となる遅延素子の出力は以下のように選択される。

【0216】切り替え対象となる遅延素子の出力は、第2の選択回路S4により現在選択されているR1b出力の基となる遅延素子の出力を除いた遅延素子の出力のうち、切り替え後のR1b出力の基となる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、かつ切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1bの出力と切り替え時に選択されているR1b出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1b出力と切り替え時に選択されるR1b出力との位相差の方が小さな場合に、切り替わる遅延素子の出力である。

【0217】現在選択されているR1b出力aは、遅延

素子D5の出力と遅延素子D6の出力とを波形合成した出力であり、切り替え対象の遅延素子の出力として、遅延素子D4の出力が選択される。また、遅延素子D4の出力は、切り替え時のR1b出力aの基となる遅延素子の出力である遅延素子D5、D6の出力から最も位相差が大きな遅延素子となっている。出力aが出力rに変化するとき、出力eは出力sより遅い方が使われる可能性が高くなる。つまりD4の出力よりもD7の出力の方が使われる可能性が高くなる。

【0218】さらに、遅延素子D4の出力をバッファしたR1b出力と切り替え時に選択されているR1a出力qとの位相差よりも、遅延素子D7の出力をバッファしたR1a出力と切り替え後に選択されるR1a出力rとの位相差の方が小さくなり、R1a出力qがR1a出力rに切り替わったときに出力eは出力vより遅い位相を持つ出力として使われる可能性が高くなる。つまり、遅延素子D7の出力の方が遅延素子D4の出力よりも、R1a入力ln1として使用される可能性が高くなる。

【0219】切り替え対象として選択された遅延素子D4の出力は、R1a入力ln1～ln3が連続した3個の遅延素子の出力となるように、位相が時間隔(dtc×3)だけ遅い遅延素子D7の出力に切り替えられる。この結果、R1a入力ln1には遅延素子D7の出力、R1a入力ln2には遅延素子D5の出力、R1a入力ln3には遅延素子D6の出力が入力される。

【0220】上記のように、R1a入力を切り替えることにより、インターポレータip310において、遅延素子D6の出力および遅延素子D7の出力のうち遅い位相である遅延素子D6の出力が遅い位相の入力側に入力され、遅い位相である遅延素子D7の出力が遅い入力側に入力されており、R1a入力ln3とR1a入力ln1との中間の位相の出力を得ることが可能となる。

【0221】上記のように、R1a入力ln1が遅延素子D7の出力に切り替えられたことにより、R1a出力kより時間隔dtc1だけ遅い位相のR1a出力lと、R1a出力lより時間隔dtc1だけ位相が遅いR1a出力aとを得ることが可能となる。

【0222】従って、R1b出力sより時間隔dtc2だけ遅い位相のR1b出力tと、R1b出力tより時間隔dtc2だけ位相が遅いR1b出力uと、R1b出力uより時間隔dtc2だけ遅いR1b出力vと、R1b出力vより時間隔dtc2だけ遅いR1b出力eとを得ることが可能となる。

【0223】また、同様に、R1a入力ln1として遅延素子D4の出力、R1a入力ln2として遅延素子D5の出力、R1a入力ln3として遅延素子D6の出力が選択されているとして、第1の制御回路CONT1がR1b出力iからR1b出力pに切り替わる進み信号dnを受信した場合は、切り替え時のR1a出力を生成する際に用いられている遅延素子D5の出力から最も位相

差が大きな遅延素子の出力として遅延素子D4の出力および遅延素子D6の出力が選択されるが、両出力とも、「切り替え対象となる遅延素子の出力を増幅させた波形合成手段R1bの出力と切り替え時に選択されているR1b出力との位相差よりも、切り替え後における遅延素子の出力を増幅させたR1b出力と切り替え時に選択されるR1b出力との位相差の方が小さい」という条件を満たしていないため、遅延素子の出力の切り替えは行われない。

【0224】一般に、「1」の状態の時にデジタル回路の出力を切り替えると、グリッジと呼ばれるヒゲ状の不要なパルスが生じてしまう。従って、デジタル回路の出力が「0」の状態の時にデジタル回路の出力を切り替えるように、切り替えタイミングを調整する必要がある。

【0225】デジタル回路で構成されている遅延素子の出力を切り替える際は、グリッジ発生を抑制するために切り替えタイミングを調整する必要があるが、第1の選択回路S1、第2の選択回路S4、および第1のリングインターボレータR1aなどの遅延時間が大きいために遅延素子の出力の切り替えタイミングを制御することが困難である。従って、第2の選択回路S4によりR1a出力を切り替える際に、同時に、その切り替え対象となるR1a出力の基となる遅延素子の出力を切り替えると、デジタル回路により構成されている遅延素子を切り替える際に生じるグリッジがR1a出力において検出されてしまう可能性がある。

【0226】本実施形態では、第2の選択回路S4によりR1a出力を切り替える際に、その切り替えられるR1a出力の基となる遅延素子の出力を切り替えないように設計されているため、遅延素子の出力の切り替えにより生じるグリッジが第2の選択回路S4により選択されたR1a出力において検出されず、遅延素子の出力の切り替えタイミングを考慮に入れる必要がなくなり、2段階可変長遅延回路のタイミング設計が容易となる。

【0227】また、第2の選択回路S4により選択されているR1a出力、および以後選択される可能性が高いR1a出力の基となるインターボレータip120、ip230、ip310の入力には、常に位相が遅い入力信号が位相が遅い入力側に入力され、位相が遅い入力信号が位相が遅い入力側に入力されるため、入力切り替えの時に遅延時間の変動が生じることが無く、ジッタを軽減させることが可能となる。

【0228】なお、上記の実施形態では、粗調整用遅延回路GCの出力を15タップとしたが、任意のタップ数であってもよいし、最初のタップから選択せず、任意のタップから出力をとってもよい。また、第1の選択回路S1のセレクタ数を3個としたが、3個以上であってもよい。

【0229】また、本実施形態では、バッファとしてイ

ンバータを用いたが、アンプを用いてもよい。

【0230】本実施形態におけるインターボレータip120、ip230、ip310は、第1の実施形態で示されたインターボレータip120と同様の動作により異なる位相の2個の入力を波形合成し、その2個の入力の中間の位相を有する出力を生成する。

【0231】本実施形態における2段階可変長遅延素子回路は、第2の選択回路S4および第2の制御回路CONT2により、選択する出力を、第2のリングインターボレータR1bの出力、あるいは第2のリングインターボレータR1bの出力をバッファした出力とし、時間隔を第1の実施形態における2段階可変長遅延回路よりもさらに微細にしたことを特徴とした回路である。

【0232】上記のように、本実施形態では、粗調整用遅延回路GCのタップ出力間の時間隔を第1の実施形態よりもさらに微細に分割するため、遅延時間の調整をさらに微細に行うことができるという効果が得られる。

【0233】なお、本実施形態では、第1のリングインターボレータR1aの出力側と第2の選択回路S4の入力側との間に第2のリングインターボレータR1bが挿入されていたが、縦続接続されたr個のリングインターボレータを挿入してもよい。

【0234】r個のリングインターボレータにおいて、第1のリングインターボレータR1aの出力側を前段、第2の選択回路S4の入力側を後段とした場合、r個のリングインターボレータのうち任意のリングインターボレータは、前段のリングインターボレータの出力を入力とする。また、第2の選択回路S4は、最も後段のリングインターボレータの出力から1個の選択し、第2の制御回路CONT2は第2の選択回路S4を制御する。

【0235】r個のリングインターボレータのうちの任意のリングインターボレータは、本実施形態における他のリングインターボレータと同様の構成を有し、同様の動作を行うとしてよい。以下、r個のリングインターボレータのうち前段から数えてs個目のリングインターボレータ（sは1以上r以下の整数）の動作について説明する。

【0236】第1の選択手段により選択されたm個の遅延素子の出力を位相が遅い順に第1から第mまでの入力となっている場合に、s個目のリングインターボレータは、前段のリングインターボレータ（(s-1)個目のリングインターボレータ）の第1から第(m×2s)までの出力をそれぞれ第1から第(m×2s)までの入力とし、第1から第(m×2s)までの出力をそれぞれ第1から第(m×2s)までの入力をバッファするバッファと、その出力をそれぞれ第1から第(m×2s+1-1)の出力とし、第t（tは1以上(m×2s-1)以下の任意の整数）の入力と第(t+1)の入力とを波形合成して中間の位相の出力を生成した出力を第2tの出力とする(m×2s-1)個のインターボレータipy

(y は 1 以上 $(m \times 2s - 1)$ 以下の整数) と、第 $(m \times 2s)$ の入力を位相が遅い入力側とし、第 1 の入力を位相が遅い入力側として、波形合成し、中間の位相の出力を生成した出力を第 $(m \times 2s + 1)$ の出力とするインターポレータ $ip(m \times 2s)$ とを有する。

【0237】第 1 の選択手段により選択された m 個の遅延素子の出力である第 n の入力 (n は 1 以上 $(m - 1)$ 以下の任意の整数) と第 $(n + 1)$ の入力との時間間隔を (dtc) である場合、 t が 1 から $(2s \times (m - 1) + 1)$ の範囲で、第 t の入力と第 $(t + 1)$ の入力との位相差が時間間隔 $(dtc / 2s)$ であり、第 1 の選択手段により選択された m 個の遅延素子の出力である第 m の入力の位相が第 1 の入力の位相より速くなったときに、 t が $(2s \times (m - 1) + 1)$ から $(m \times 2s - 1)$ の範囲で、第 t の入力と第 $(t + 1)$ の入力との位相差が時間間隔 $(dtc / 2s)$ である。

【0238】第 1 の選択手段により選択された m 個の遅延素子の出力である第 n の入力 (n は 1 以上 $(m - 1)$ 以下の任意の整数) と第 $(n + 1)$ の入力との時間間隔が (dtc) である場合、 u が 1 から $(2s + 1 \times (m - 1) + 1)$ の範囲で第 u の入力と第 $(u + 1)$ の入力との位相差が時間間隔 $(dtc / 2s + 1)$ であり、第 1 の選択手段により選択された m 個の遅延素子の出力である第 m の入力の位相が第 1 の入力の位相より速くなったときに、 u が $(2s + 1 \times (m - 1) + 1)$ から $(m \times 2s + 1 - 1)$ の範囲で第 u の入力と第 $(u + 1)$ の入力との位相差が時間間隔 $(dtc / 2s + 1)$ であり、時間間隔 dtc より微細な調整間隔の出力を得ることが可能となる。

【0239】第 2 の制御回路 $CONT2$ は、遅れ信号 u_p を受信した場合、 r 個のリングインターポレータのうち最も最後のリングインターポレータの出力を位相が時間間隔 $(dtc / 2s + 1)$ 遅い出力に切り替え、進み信号 d_n を受信した場合、最も最後のリングインターポレータの出力を位相が時間間隔 $(dtc / 2s + 1)$ 遅い出力に切り替えるように、第 2 の選択回路 $S4$ を制御する。

【0240】また、第 2 の制御回路 $CONT2$ は、最も最後のリングインターポレータの第 1 の出力が選択されている際に遅れ信号 u_p を受信した場合は、最も最後のリングインターポレータの第 $(m \times 2s + 1)$ の出力に切り替え、最も最後のリングインターポレータの第 $(m \times 2s + 1)$ の出力が選択されている際に進み信号 d_n を受信した場合は、最も最後のリングインターポレータの第 1 の出力に切り替えるように、第 2 の選択回路 $S4$ を制御する。

【0241】第 1 の制御回路 $CONT1$ は、遅れ信号 u_p を受信した場合、最も最後のリングインターポレータの出力を生成する際に用いられていない遅延素子の出力を切り替え対象の遅延素子の出力として、時間間隔 $(m \times dtc)$ だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第 1 の選

択回路 SL を制御する。また、この際の切り替え対象の遅延素子の出力は、切り替え後に選択される最も最後のリングインターポレータの出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号である。

【0242】第 1 の制御回路 $CONT1$ は、進み信号 d_n を受信した場合、最も最後のリングインターポレータの出力を生成する際に用いられていない遅延素子の出力を切り替え対象の遅延素子の出力として、時間間隔 $(m \times dtc)$ だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第 1 の選択回路 SL を制御する。また、この際の切り替え対象の遅延素子の出力は、切り替え後に選択される最も最後のリングインターポレータの出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号である。

【0243】また、第 1 の実施形態と同様に、粗調整用遅延回路 GC の出力を 15 タップとしたが、任意のタップ数であってもよいし、最初のタップから選択せず、任意のタップから出力をとってもよい。また、第 1 の選択回路 SL のセレクト数を 3 個としたが、3 個以上であってもよい。

【0244】また、第 1 の実施形態と同様に、本実施形態では、インターポレータ $ip120$ 、 $ip121$ 、 $ip122$ 、 $ip230$ 、 $ip231$ 、 $ip232$ 、 $ip310$ 、 $ip311$ 、 $ip312$ 、 ipy 、 $ip(m \times 2s)$ を、図 7 (a) および図 7 (b) に示されているような $CMOS$ 回路を組み合わせて作成された回路としてもよいし、図 8 (a)、図 8 (b)、図 9 (a)、図 9 (b)、図 10 (a)、および図 10 (b) に示されているような $CMOS$ (カレントモードロジック) 回路を組み合わせた回路としてもよい。

【0245】また、第 1 の実施形態と同様に、本実施形態では、インターポレータ $ip120$ 、 $ip121$ 、 $ip122$ 、 $ip230$ 、 $ip231$ 、 $ip232$ 、 $ip310$ 、 $ip311$ 、 $ip312$ 、 ipy 、 $ip(m \times 2s)$ は、入力される 2 個の信号の中間の位相を有する信号を生成できるように上記のインターポレータが有するトランジスタの大きさ (オン抵抗値) が調整されている。

【0246】また、第 1 の実施形態と同様に、本実施形態では、バッファとしてインバータを用いたが、アンプを用いてもよい。

【0247】なお、上記の第 1 および第 2 の実施形態は本発明の好適な実施の一例であり、本発明の実施形態は、これに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形して実施することが可能となる。

【0248】

【発明の効果】以上説明したように、請求項 1 記載の発明によれば、入力信号を所定の時間隔遅延させた m 個の粗調整遅延信号を基にして $2m$ 個の微調整遅延信号を生成し、 $2m$ 個の微調整遅延信号から 1 個の微調整遅延信号を選択し、選択された微調整遅延信号を切り替える際に、選択された微調整遅延信号を生成する際に用いられていない粗調整遅延信号を切り替えることによって、広範囲かつ詳細な調整間隔の出力を得ることを可能とし、粗調整遅延信号を切り替えるタイミングを無視することが可能となるためタイミング設計を容易にし、選択された微調整遅延信号の遅延時間が変化しない高精度の 2 段階可変長遅延回路を提供することが可能となる。

【0249】また、請求項 2 記載の発明によれば、切り替え時の微調整遅延信号を生成する際に用いられている粗調整遅延信号から最も位相差が大きな粗調整遅延信号かつ他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号を切り替えることによって、微調整遅延信号を生成する際に用いられていない粗調整遅延信号を切り替えるタイミングを無視することが可能となるためタイミング設計を容易にし、選択された微調整遅延信号の遅延時間が変化しない高精度の 2 段階可変長遅延回路を提供することが可能となる。

【0250】また、請求項 3 記載の発明によれば、選択された微調整遅延信号より位相が時間隔 $(d \cdot t \cdot c / 2)$ 速い微調整遅延信号に切り替えられる場合、切り替え対象となる粗調整遅延信号は、切り替え対象となる粗調整遅延信号より位相が時間隔 $(m \times d \cdot t \cdot c)$ 速い遅延した入力信号に切り替えられ、選択された微調整遅延信号より位相が時間隔 $(d \cdot t \cdot c / 2)$ 速い微調整遅延信号に切り替えられる場合、切り替え対象となる粗調整遅延信号は、切り替え対象となる粗調整遅延信号より位相が時間隔 $(m \times d \cdot t \cdot c)$ 速い遅延した入力信号に切り替えられることによって、微調整遅延信号の切り替えタイミング調整を容易にし、選択される可能性が高い微調整遅延信号を予め生成することが可能となる。

【0251】また、請求項 4 記載の発明によれば、入力信号を所定の時間隔遅延させた m 個の遅延素子の出力を基にして $2m$ 個の波形合成手段 $R1a$ の出力を生成し、 $2m$ 個の波形合成手段 $R1a$ の出力から 1 個の波形合成手段 $R1a$ の出力を選択し、選択された波形合成手段 $R1a$ を生成する際に用いられていない遅延素子の出力を切り替えることによって、広範囲かつ詳細な調整間隔の出力を得ることを可能とし、遅延素子の出力を切り替えるタイミングを無視することが可能となるためタイミング設計を容易にし、選択された波形合成手段 $R1a$ の遅延時間が変化しない高精度の 2 段階可変長遅延回路を提供することが可能となる。

【0252】また、請求項 5 記載の発明によれば、波形

合成手段 $R1a$ の隣接する出力の位相差を時間隔 $(d \cdot t \cdot c / 2)$ とすることによって、時間隔 $d \cdot t \cdot c$ よりもさらに微細である調整間隔を得ることが可能となる。

【0253】また、請求項 6 記載の発明によれば、波形合成手段 $R1a$ を、 m 個のインターポレータを有するリングインターポレータ $R1a$ とし、第 n の入力インターポレータの遅い位相の信号の入力側に入力され、第 $(n+1)$ の入力インターポレータの遅い位相の信号の入力側に入力されることによって、第 n の入力と第 $(n+1)$ の入力との中間の位相を有する微細である調整間隔の出力を得ることが可能となる。

【0254】また、請求項 7 記載の発明によれば、遅延素子は、時間隔 $d \cdot t \cdot c$ を遅延時間とするデジタル回路であることによって、回路の設計を容易にし、出力の遅延時間の調整を容易にすることが可能となる。

【0255】また、請求項 8 記載の発明によれば、第 1 の選択手段が第 1 の遅延手段の出力から m 個の第 1 の遅延手段の出力を選択し、第 2 の選択手段が波形合成手段 $R1a$ の出力から 1 個の波形合成手段 $R1a$ の出力を選択することを制御することによって、グリッチが生じない正常な波形合成手段 $R1a$ の出力を得ることが可能となる。

【0256】また、請求項 9 記載の発明によれば、第 1 の遅れ信号を受信した場合、切り替え対象の遅延素子の出力を時間隔 $(m \times d \cdot t \cdot c)$ だけ位相が速い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第 1 の選択手段を制御することによって、波形合成手段 $R1a$ の出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段 $R1a$ の出力を予め生成することが可能となる。

【0257】また、請求項 10 記載の発明によれば、第 1 の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される波形合成手段 $R1a$ の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、波形合成手段 $R1a$ の出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段 $R1a$ の出力を予め生成することが可能となる。

【0258】また、請求項 11 記載の発明によれば、第 1 の遅れ信号を受信した場合、第 2 の制御手段は、第 p の波形合成手段 $R1a$ の出力を第 $(p-1)$ の波形合成手段 $R1a$ の出力に切り替え、第 1 の波形合成手段 $R1a$ の出力を第 $2m$ の波形合成手段 $R1a$ の出力に切り替えるように第 2 の選択手段を制御することによって、 $2m$ 個の波形合成手段 $R1a$ の出力をループ状に繰り返して選択し、要求された位相の波形合成手段 $R1a$ の出力を得ることが可能となる。

【0259】また、請求項 12 記載の発明によれば、第

1の進み信号を受信した場合、切り替え対象の遅延素子の出力を時間隔($m \times d t c$)だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することによって、波形合成手段R1aの出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段R1aの出力を予め生成することが可能となる。

【0260】また、請求項13記載の発明によれば、第1の進み信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される波形合成手段R1aの出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、波形合成手段R1aの出力の切り替えタイミング調整を容易にし、選択される可能性が高い波形合成手段R1aの出力を予め生成することが可能となる。

【0261】また、請求項14記載の発明によれば、第1の進み信号を受信した場合、第2の制御手段は、第 q の波形合成手段R1aの出力を第 $(q+1)$ の波形合成手段R1aの出力に切り替え、第 $2m$ の波形合成手段R1aの出力を第1の波形合成手段R1aの出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合成手段R1aの出力をループ状に繰り返して選択し、要求された位相の波形合成手段R1aの出力を得ることが可能となる。

【0262】また、請求項15記載の発明によれば、波形合成手段R1aと第2の選択手段との間に連続接続された r 個の波形合成手段を直列に挿入することによって、時間隔($d t c / 2$)よりもさらに微細な調整間隔の波形合成手段の出力を得ることが可能となる。

【0263】また、請求項16記載の発明によれば、前段から s 個目の波形合成手段の第 u の出力と第 $(u+1)$ の出力との位相差を時間隔($d t c / 2s+1$)とすることによって、時間隔($d t c / 2$)よりもさらに微細である調整間隔を得ることが可能となる。

【0264】また、請求項17記載の発明によれば、前段から s 個目の波形合成手段を、 $(m \times 2s)$ 個のインターポレータを有するリングインターポレータとし、第 t の入力がインターポレータの遅い位相の信号の入力側に入力され、第 $(t+1)$ の入力がインターポレータの遅い位相の信号の入力側に入力されることによって、第 t の入力と第 $(t+1)$ の入力との中間の位相を有する微細である調整間隔の出力を得ることが可能となる。

【0265】また、請求項18記載の発明によれば、第2の選択回路は、 r 個の波形合成手段のうち、第2の選択回路と接続されている最も後段の波形合成手段の出力から1個の出力を選択することによって、要求された位相の最も後段の波形合成手段の最も微細である調整間隔の出力を得ることが可能となる。

【0266】また、請求項19記載の発明によれば、第2の遅れ信号を受信した場合、切り替え対象の遅延素子の出力を時間隔($m \times d t c$)だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0267】また、請求項20記載の発明によれば、第2の遅れ信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される最も後段の波形合成手段の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0268】また、請求項21記載の発明によれば、第2の遅れ信号を受信した場合、第2の制御手段は、第 f の最も後段の波形合成手段の出力を第 $(f-1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0269】また、請求項22記載の発明によれば、第2の遅れ信号を受信した場合、第2の制御手段は、第1の最も後段の波形合成手段の出力を第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合成手段R1aの出力をループ状に繰り返して選択し、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0270】また、請求項23記載の発明によれば、第2の進み信号を受信した場合、切り替え対象の遅延素子の出力を時間隔($m \times d t c$)だけ位相が遅い遅延素子の出力に切り替え、 m 個の連続した遅延素子の出力を選択するように第1の選択手段を制御することによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0271】また、請求項24記載の発明によれば、第2の進み信号を受信した場合の切り替え対象の遅延素子の出力は、切り替え時に選択される最も後段の波形合成手段の出力を生成する際に用いられる遅延素子の出力から最も位相差が大きな遅延素子の出力であり、他の粗調整遅延信号を選択した場合より、使用する可能性が少なくなる粗調整遅延信号であることによって、最も後段の波形合成手段の出力の切り替えタイミング調整を容易にし、選択される可能性が高い最も後段の波形合成手段の出力を予め生成することが可能となる。

【0272】また、請求項 25記載の発明によれば、第2の進み信号を受信した場合、第2の制御手段は、第 e の最も後段の波形合成手段の出力を第 $(e+1)$ の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0273】また、請求項 26記載の発明によれば、第2の進み信号を受信した場合、第2の制御手段は、第 $(m \times 2s+1)$ の最も後段の波形合成手段の出力を第1の最も後段の波形合成手段の出力に切り替えるように第2の選択手段を制御することによって、 $2m$ 個の波形合成手段R1aの出力をループ状に繰り返して選択し、要求された位相の最も後段の波形合成手段の出力を得ることが可能となる。

【0274】また、請求項 27記載の発明によれば、インターポレータIPX、インターポレータIPm、インターポレータipy、およびインターポレータip $(m \times 2s)$ が有するバッファのオン抵抗値を設定することによって、位相が異なる2個の信号の中間の位相を有する信号を精度よく生成することが可能となる。

【0275】また、請求項 28記載の発明によれば、バッファは、アンプあるいはインバータであることによって、出力の遅延時間の設計を容易にすることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における2段階可変長遅延回路の構成を示す図である。

【図2】本発明の第2の実施形態における2段階可変長遅延回路の構成を示す図である。

【図3】本発明の第1の実施形態における第1のリングインターポレータR1aの構成を示す図である。

【図4】本発明の第2の実施形態における第1のリングインターポレータおよび第2のリングインターポレータの構成を示す図である。

【図5】従来例の実施形態における2段階可変長遅延回路のインターポレータの構成を示す図である。

【図6】従来例の実施形態における2段階可変長遅延回路の構成を示す図である。

【図7】本発明の第1の実施形態におけるインターポレータの構成を示す回路図である。

【図8】(a)は、本発明の第1の実施形態におけるインターポレータの構成を示す回路図であり、(b)は、(a)で示されている本発明の第1の実施形態におけるインターポレータを論理回路図で示したものである。

【図9】(a)は、本発明の第1の実施形態におけるインターポレータの構成を示す回路図であり、(b)は、(a)で示されている本発明の第1の実施形態におけるインターポレータを論理回路図で示したものである。

【図10】(a)は、本発明の第1の実施形態におけるインターポレータの構成を示す回路図であり、(b)

は、(a)で示されている本発明の第1の実施形態におけるインターポレータを論理回路図で示したものである。

【符号の説明】

GC 粗調整用遅延回路

CLKIN 入力

D1~D14 遅延素子

SL 第1の選択回路

S1、S2、S3 第1の選択回路のセレクタ

R1a 第1のリングインターポレータ

R1b 第2のリングインターポレータ

S4 第2の選択回路

CLKOUT 2段階可変長遅延回路の出力

CONT1 第1の制御回路

CONT2 第2の制御回路

dtc、dtc1、dtc2 時間隔

ln1、ln2、ln3 インターポレータまたは、第1のリングインターポレータの入力

T1a、T1b、T1c、T1j、T1k、T1l、a、b、c、d、j、k、l 第1のリングインターポレータの出力

T1e、T1f、T1g、T1h、T1i、T1p、T1q、T1r、T1s、T1t、T1u、T1v、e、f、g、h、i、p、q、r、s、t、u、v 第2のリングインターポレータの出力

B100、B101、B102、B103、B200、B201、B202、B203、B300、B301、B302、B303、B121、B122、B123、B123i、B213i、B213i、B231、B232、B233i、B233、B323i、B311、B312、B313i、B313、B130i、B131i、313i、B313、B133i、B120、B230、B310、B120i、B210i、B320i、B310i、B130i、B210、B320、B130、B121i、B211i、B321i、B311i、B131i バッファ

ip120、ip230、ip310、ip121、ip122、ip231、ip232、ip311、ip312 インターポレータ

up 遅れ信号

dn 進み信号

603 位相分割器

604 サイクル終了検出器

605 カウンタおよび制御回路および選択回路

606 32:1マルチプレクサ

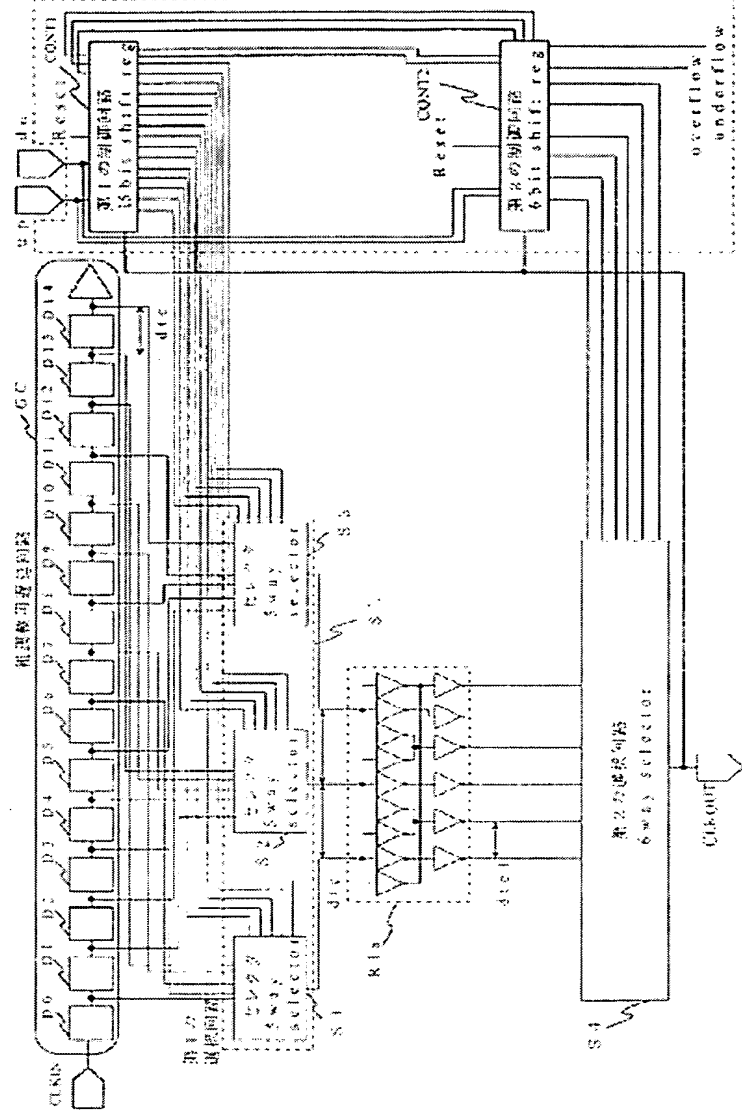
607 3ステージインターポレータ

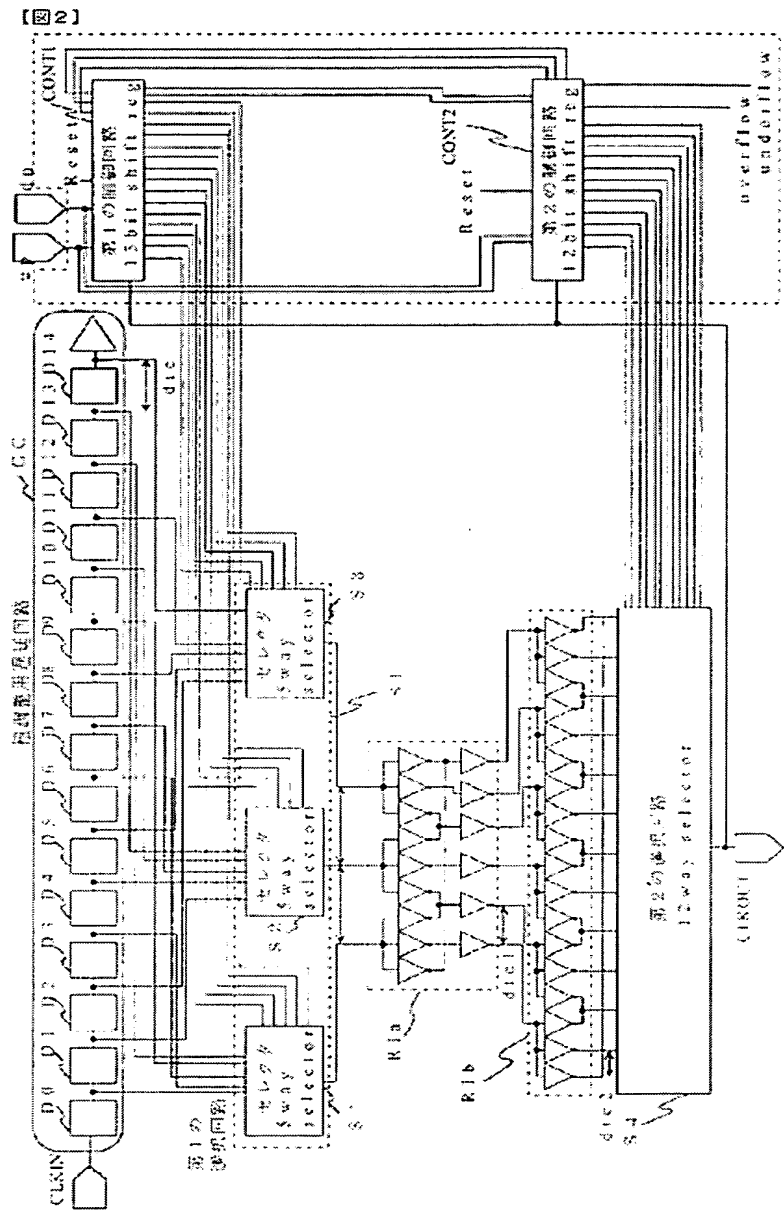
608 16:1マルチプレクサ

609 フィルタ

610 位相検出器

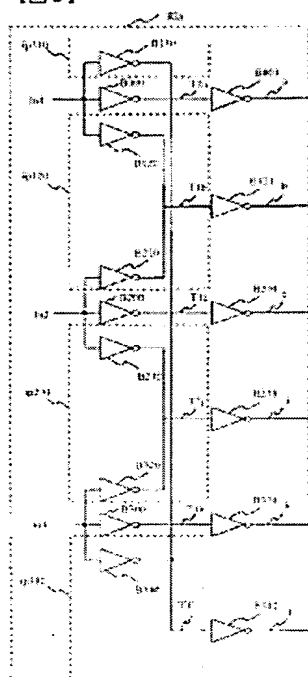
[図 1]



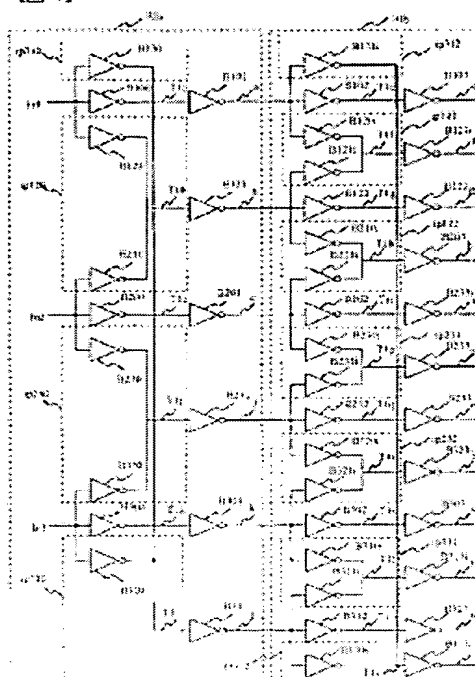


[図 2]

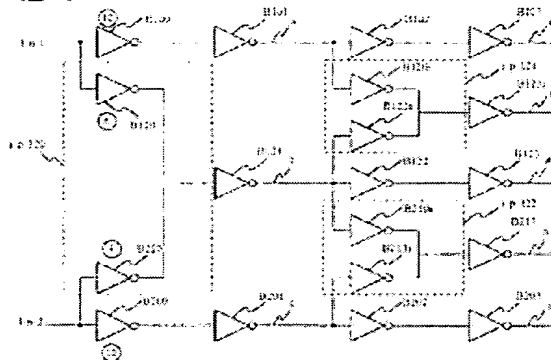
【圖3】



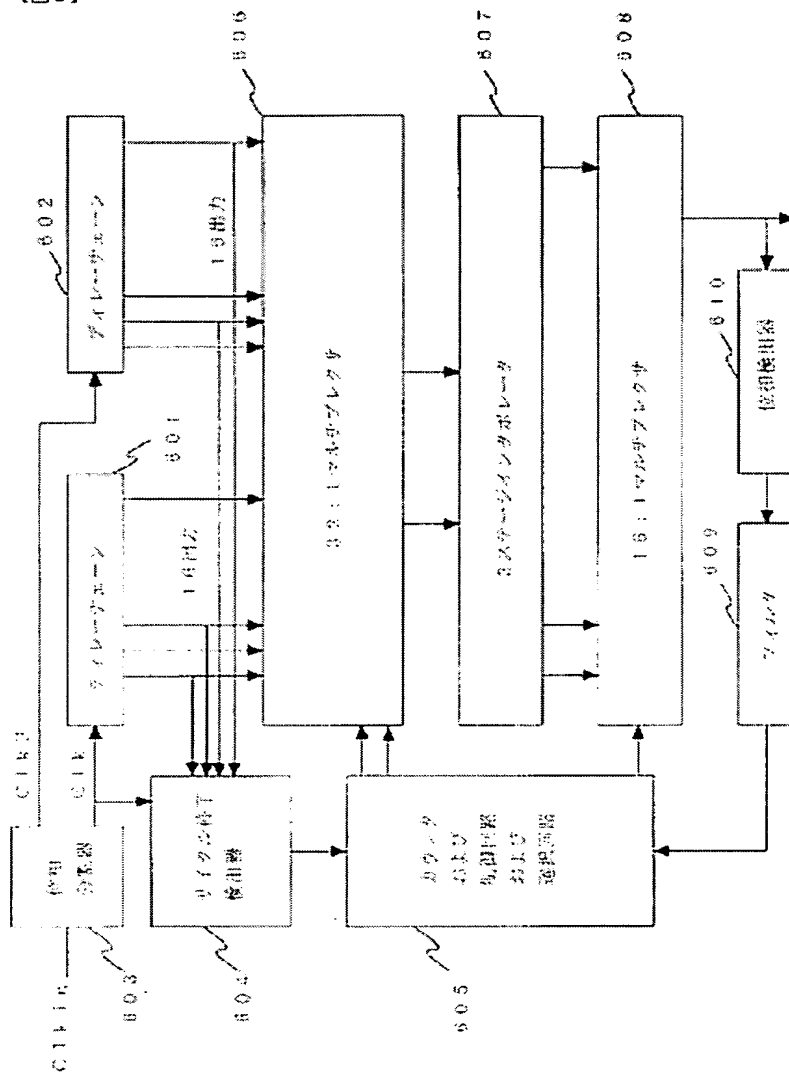
【图 4】



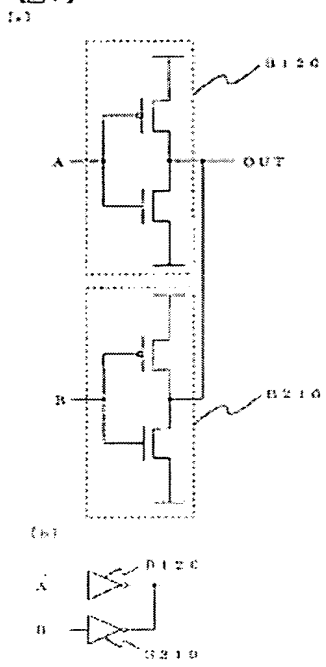
【圖 5】



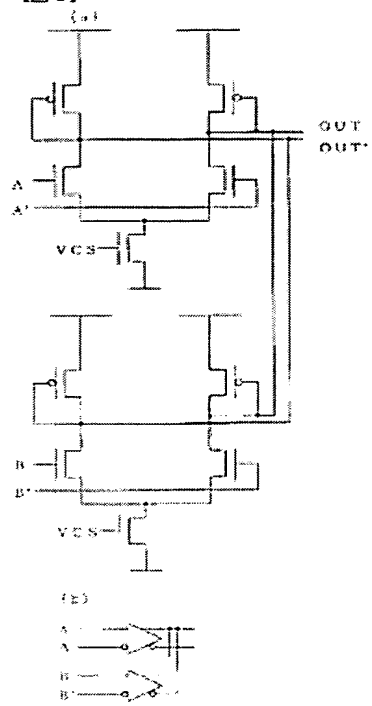
【図6】



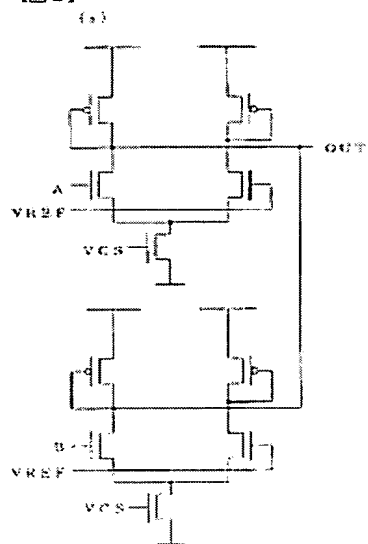
【图 7】



【图 8】



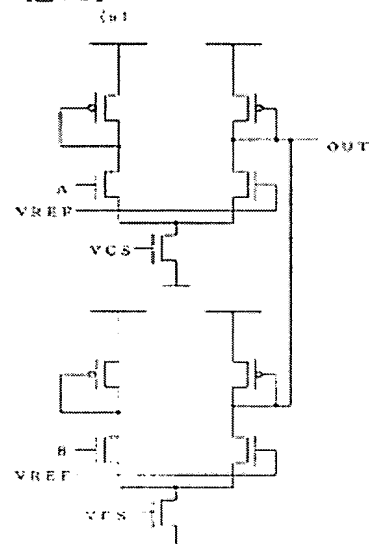
【図 9】



(b)



【図 10】



(b)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.